

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 3月27日

出願番号

Application Number: 特願2003-088261

[ST.10/C]:

[JP2003-088261]

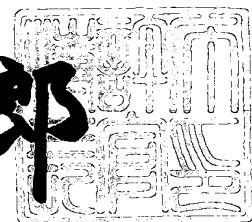
出願人

Applicant(s): 三菱電機株式会社

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030007

【書類名】 特許願
【整理番号】 540217JP02
【提出日】 平成15年 3月27日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 17/16
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 新居 浩二
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【先の出願に基づく優先権主張】

【出願番号】 特願2002-205391

【出願日】 平成14年 7月15日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0209961

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じて前記第1のトランジスタと相補的にオン・オフする第2のトランジスタと、

前記入力信号に応じて前記第1および第2のトランジスタを相補的にオンさせるために、前記第1および第2の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記第1および第2の内部ノードの少なくとも一方に接続される電圧調整回路を有し、

前記電圧調整回路は、接続される内部ノードの電圧レベルに応じて、前記接続される内部ノードに対応するトランジスタがターンオン状態であるときに、前記接続される内部ノードの電圧を前記第1および第2の電圧とは異なるレベルへ設定する、半導体装置。

【請求項2】 前記対応するトランジスタがターンオンする際、前記接続される内部ノードの電圧は、前記第1および第2の電圧のいずれか一方に設定される、請求項1記載の半導体装置。

【請求項3】 前記制御回路は、前記少なくとも一方のトランジスタに対応して設けられるタイミング回路をさらに有し、

前記タイミング回路は、前記対応するトランジスタのターンオン時において、前記第1および第2の電圧のうち前記対応するトランジスタをオンさせる前記第1および第2の電圧の一方と、前記接続される内部ノードとを所定期間接続する、請求項1記載の半導体装置。

【請求項4】 前記タイミング回路は、前記出力ノードの電圧レベルに応じて前記所定期間を調整する、請求項3記載の半導体装置。

【請求項5】 前記タイミング回路は、前記入力信号を遅延させるための遅延回路を有し、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項3記載の半導体装置。

【請求項6】 前記制御回路は、前記対応するトランジスタがターンオンする際に、他方のトランジスタをターンオフさせるために前記他方のトランジスタの内部ノードを前記対応するトランジスタがオンする前記第1および第2の電圧の一方に設定し、

前記制御回路は、前記対応するトランジスタのターンオン時において、所定期間前記第1の内部ノードと前記第2の内部ノードとの間を電気的に接続するための接続回路をさらに有する、請求項1記載の半導体装置。

【請求項7】 前記接続回路は、前記入力信号を遅延させる遅延回路を含み

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項6記載の半導体装置。

【請求項8】 前記第1および第2のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第1および第2のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項1記載の半導体装置。

【請求項9】 前記他の電界効果型トランジスタの前記ゲート酸化膜は、前記第1および第2のトランジスタの前記少なくとも一方よりも厚い、請求項8記載の半導体装置。

【請求項10】 前記第1および第2のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第1および第2のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項1記載

の半導体装置。

【請求項11】 前記第1および第2のトランジスタの前記誘電体膜は、前記他の電界効果型トランジスタよりも比誘電率が高い、請求項10記載の半導体装置。

【請求項12】 前記入力信号は、複数の信号を含み、

前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第1および第2の内部ノードの電圧を制御する、請求項1記載の半導体装置。

【請求項13】 前記制御回路は、前記第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、前記対応するトランジスタのターンオン時において、前記第1および第2の電圧のうち前記対応するトランジスタをオンさせる前記第1および第2の電圧のうちの一方の電圧と前記接続される内部ノードとを所定期間接続する、請求項12記載の半導体装置。

【請求項14】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする第2のトランジスタと、

前記出力ノードと前記第2の電圧との間に前記第2のトランジスタと並列に配置され、前記第1の内部ノードの電圧レベルに応じて前記第1のトランジスタと相補的にオン・オフする第3のトランジスタと、

前記入力信号に応じて、前記第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、前記第1および第2の内部ノードの電圧を制御するための制御回路とを含み、

前記制御回路は、前記第2および第3のトランジスタのターンオン時に、前記第1のトランジスタをターンオフするために前記第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を前記第1の内部ノードに設定す

るとともに、所定期間、前記第2の内部ノードに対して前記一方の電圧を供給し

前記第2のトランジスタは、前記第3のトランジスタより前記第2の電圧を前記出力ノードへ供給する駆動力が大きい、半導体装置。

【請求項15】 前記制御回路は、前記第2の内部ノードに対応して設けられるタイミング回路を有し、

前記タイミング回路は、前記出力ノードの電圧レベルに応じて前記所定期間を調整する、請求項14記載の半導体装置。

【請求項16】 前記制御回路は、前記所定期間、前記第1および第2の内部ノードを電気的に接続する接続回路を有する、請求項14記載の半導体装置。

【請求項17】 前記入力信号は、複数の信号を含み、

前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第1および第2の内部ノードの電圧を制御する、請求項14記載の半導体装置。

【請求項18】 前記第1、第2および第3のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第1、第2および第3のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項14記載の半導体装置。

【請求項19】 前記第1、第2および第3のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第1、第2および第3のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項14記載の半導体装置。

【請求項20】 前記制御回路は、スタンバイ時に外部からの指示に応答して前記第2および第3のトランジスタがターンオンする前記第1および第2の電圧の一方を前記第1の内部ノードに供給するノイズ調整回路を含む、請求項14記載の半導体装置。

【請求項21】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする第2のトランジスタと、

前記出力ノードと前記第1の電圧との間に前記第1のトランジスタと並列に配置され、第3の内部ノードの電圧レベルに応じてオン・オフする第3のトランジスタと、

前記出力ノードと前記第2の電圧との間に前記第2のトランジスタと並列に配置され、前記第3のトランジスタと相補的にオン・オフする第4のトランジスタと、

前記入力信号に応じて、前記第1および第2のトランジスタを相補的にオンさせるとともに前記第3および第4のトランジスタを相補的にオンさせるために前記第1、第2および第3の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記入力信号に応じて、前記第3の内部ノードを前記第3および第4のトランジスタがオンする前記第1および第2の電圧の一方に設定し、

前記出力ノードの電圧に応じて、前記第3の内部ノードと、前記第1および第2の内部ノードのいずれか一方とを所定期間電気的に結合する接続回路とを有し、

前記第1のトランジスタは、前記第3のトランジスタより前記第1の電圧を前記出力ノードへ供給する駆動力が大きく、前記第2のトランジスタは、前記第4のトランジスタより前記第2の電圧を前記出力ノードへ供給する駆動力が大きい、半導体装置。

【請求項22】互いに隣接して配置され、各々が、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するための第1および第2のドライバ回路を備え、

各前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする第2のトランジスタと、

前記出力ノードと前記第2の電圧との間に前記第2のトランジスタと並列に配置され、前記第1の内部ノードの電圧レベルに応じて前記第1のトランジスタと相補的にオン・オフする第3のトランジスタと、

前記入力信号に応じて、前記第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、前記第1および第2の内部ノードの電圧を制御するための制御回路とを含み、

各前記制御回路は、前記第2および第3のトランジスタのターンオン時に、前記第1のトランジスタをターンオフするために前記第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を前記第1の内部ノードに設定するとともに、所定期間、前記第2の内部ノードに対して前記一方の電圧を供給し、

前記第2のトランジスタは、前記第3のトランジスタより前記第2の電圧を前記出力ノードへ供給する駆動力が大きく、

各前記制御回路は、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて前記第2および第3のトランジスタがターンオンする前記第1および第2の電圧の一方を前記第1の内部ノードに供給するノイズ調整回路を含む、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特にCMOSドライバ回路を備えた半導体装置に関する。

【0002】

【従来の技術】

近年、複数の処理回路を具備する半導体装置がワンチップマイコンとして製品化されており、このような半導体装置が携帯電話機などの電子回路機器等に利用されている。携帯電話機などのような携帯機器では、必然的にバッテリを電源とするが、小型軽量化が要求されるためバッテリも小型軽量化されている。

【0003】

このバッテリの小型軽量化に加え、長時間のバッテリの使用も要求されるためバッテリの消費電力の削減も極度に要求されている。一方、デジタル方式の携帯電話機等の場合、音声信号をリアルタイムにデジタル処理するため、当該半導体装置の高速化も要求されている。

【0004】

上記の種々の要求において、回路内の信号処理部においては、内部回路に処理した信号を伝播するために電流駆動力の小さなトランジスタで構成し、外部に出力する回路については電流駆動力の大きなトランジスタで構成されたドライバ回路を用いることが一般的である。

【0005】

図31は、入力信号を伝播する従来のCMOSドライバ回路の回路構成図である。なお、以下においてはCMOSドライバ回路を単にドライバ回路とも称する。

【0006】

図31を参照して、従来のCMOSドライバ回路は、直列に接続された2段のインバータINV0とINV1とを含む。インバータINV0は、トランジスタPT0とNT0とを含む。トランジスタPT0は、電源電圧VDDとノードNaとの間に配置され、そのゲートは入力ノードと接続されて入力信号INの入力を受ける。また、トランジスタNT0は、ノードNaと接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0007】

インバータINV1は、トランジスタPT1とトランジスタNT1とを含む。トランジスタPT1は、電源電圧VDDと出力ノードとの間に配置され、そのゲートはノードNaと接続されている。また、トランジスタNT1は、出力ノードと接地電圧GNDとの間に配置され、そのゲートはノードNaと接続されている。なお、トランジスタPT0, PT1は、PチャンネルMOSトランジスタであり、トランジスタNT0, NT1は、NチャンネルMOSトランジスタである。

【0008】

また、インバータINV1は、出力ノードに伝達された信号を出力信号OUTとして出力する。

【0009】

なお、以下においては、入力信号INを受ける入力ノードについても符号INで示すとともに、出力信号OUTが駆動される出力ノードについても符号OUTで示すこととする。

【0010】

図32のタイミングチャート図を用いて従来のCMOSドライバ回路の動作について説明する。なお、以下の説明においては、一例として電源電圧VDDは1V、接地電圧GNDは0Vとして説明する。また、高電圧レベル（電源電圧VDD：1V）を「H」レベルとし、低電圧レベル（接地電圧GND：0V）を「L」レベルとして説明する。

【0011】

初期状態においては、入力信号INは0Vとする。この場合において、インバータINV0のトランジスタPT0はオンし、電源電圧VDDとノードNaとを電気的に結合する。したがってノードNaの電圧レベルは1Vに設定されている。また、ノードNaの電圧レベルに応答してインバータINV1のトランジスタNT1はオンし、接地電圧GNDと出力ノードとを電気的に結合する。したがって、出力ノードの電圧レベルは0Vに設定されている。

【0012】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV0のトランジスタPT0はオフし、トランジスタNT0がオンする。これに応答して、接地電圧GNDとノードNaとが電気的に結合され、ノードNaの電圧レベルは0Vに設定される。また、インバータINV1について考えると、ノードNaの電圧レベルに応答してトランジスタPT1がオンし、電源電圧VDDと出力ノードとが電気的に結合される。したがって、出力ノードの電圧レベルは1Vに設定される。出力信号OUTは、時刻T1からトランジスタの動作遅延時間経過後の時刻T1aに立ち上り、1Vに設定される。

【0013】

一方、時刻T₂において入力信号INが1Vから0Vに遷移した場合、インバータINV0のトランジスタNT0がオフし、トランジスタPT0がオンする。これに応答して、電源電圧VDDとノードNaとが電気的に結合され、ノードNaの電圧レベルは1Vに設定される。また、ノードNaの電圧レベルに応答してインバータINV1のトランジスタPT1はオフし、トランジスタNT1がオンする。これにより、出力ノードと接地電圧GNDとが電気的に結合され、出力ノードの電圧レベルは0Vに設定される。

【0014】

上記において説明したように、CMOSドライバ回路は、入力信号INの「L」レベルから「H」レベルもしくは「H」レベルから「L」レベルの変化に伴い、出力信号OUTが伝播される。

【0015】

通常、出力ノードは、次段の回路と電気的に接続され、その次段の回路の入力容量や配線による寄生容量および抵抗等が出力負荷となる。高速に入力信号INに応答して高速に出力信号OUTを伝播するためには、出力段のインバータINV1を構成するトランジスタPT1およびNT1の動作速度を高速化させが必要である。具体的には、初段のインバータINV0を構成するトランジスタPT0およびNT0より、出力段のインバータINV1を構成するトランジスタPT1およびNT1のチャンネル幅を大きくして信号伝播速度を高速化させていく。たとえば、ゲート長がそれぞれ0.1μmの場合において、それぞれトランジスタPT0, NT0, PT1およびNT1のゲート幅は、各々2μm, 1μm, 10μm, 5μm程度に設計されている。

【0016】

【特許文献1】

特開2001-156260号公報

【0017】

【発明が解決しようとする課題】

以上説明したように、従来のCMOSドライバ回路は、ドライバ回路を構成する出力段のインバータのゲート幅を大きくすることにより信号伝播速度の高速化

を図る構成が一般的である。

【0018】

しかしながら、トランジスタの微細化技術が進むにつれて、ゲート酸化膜の膜厚が薄くなり、ゲートからソースやドレインもしくは基板間に流れるいわゆるゲートリーク電流が大きくなるという問題が生じてきている。

【0019】

図33は、ゲート酸化膜の厚膜とトランジスタ1個当たりのゲートリーク電流との関係を示す図である。トランジスタのゲート長は0.1μm、ゲート幅は10μmに設定されたトランジスタのリーク電流の特性図である。

【0020】

図33を参照して、横軸はゲート酸化膜厚を示しており、縦軸はトランジスタ1個当たりのゲートリーク電流（単位A：アンペア）を示す。

【0021】

ここで示されるゲートリーク電流は、NチャンネルMOSトランジスタでは、ゲート端子に電源電圧VDD、ソース、ドレインおよび基板端子にそれぞれ共通に接地電圧GNDを接続した場合において、ゲート端子からソース、ドレインおよび基板端子へリークする電流を示す。一方、PチャンネルMOSトランジスタでは、ゲート端子に接地電圧GND、ソース、ドレインおよび基板端子にそれぞれ共通に電源電圧VDDを供給した場合において、ソース、ドレインおよび基板端子からゲート端子へリークする電流を示す。

【0022】

これまでのゲート長が0.18μm程度の世代においては、トランジスタのゲート酸化膜厚は260nm程度である。ここでゲート幅を1μmとした場合におけるゲートリーク電流について考える。

【0023】

図33において示されるゲートリーク電流はゲート面積にほぼ比例する。たとえば、ゲート酸化膜厚が260nm程度でトランジスタのゲート長が0.1μm、ゲート幅が10μmの場合は、トランジスタのゲートリーク電流は1E-14(A)程度である。なお、1E-14は、 1×10^{-14} の-14乗を指し示すものと

する。以下においても同様である。そうすると、ゲート長が $0.18\text{ }\mu\text{m}$ 、ゲート幅Wが $1\text{ }\mu\text{m}$ 当たりで考えると、トランジスタ1個当たりのゲートリーク電流は 1.8 E-15 (A) 程度となる。

【0024】

これに対して、トランジスタがスタンバイ状態であるときのソースドレイン間に流れるサブスレッショルドリーク電流は、同じ設定条件において 1 E-12 (A) 程度である。したがって、サブスレッショルドリーク電流の方がゲートリーク電流よりも遥かに大きいため、ゲート長が $0.18\text{ }\mu\text{m}$ 程度の世代においてはゲートリーク電流の電流量を考慮する必要性はなかった。

【0025】

しかし、近年の微細化技術の進歩および動作高速化の要求に伴い、ゲート酸化膜厚が薄くなるにつれてゲートリーク電流が無視できなくなってきた。たとえばゲート長が $0.1\text{ }\mu\text{m}$ 世代においては、そのときのゲート酸化膜厚は 200 nm 程度に設計される。

【0026】

図33を参照してゲート幅が $10\text{ }\mu\text{m}$ である場合のトランジスタのゲートリーク電流を計算すると約 1 E-11 (A) 程度となる。このゲートリーク電流は、ゲート長が $0.1\text{ }\mu\text{m}$ 、ゲート幅が $1\text{ }\mu\text{m}$ で設計されたトランジスタで計算すると 1 E-12 (A) 程度になる。したがって、上記のサブスレッショルドリーク電流と同等程度のリーク電流が流れることになりリーク電流を無視することができなくなってきた。このように微細化技術に伴なうトランジスタのゲートリーク電流の増大にともなって回路全体の消費電力が増大してしまうという問題がある。

【0027】

また、上記において説明したように、ゲートリーク電流はトランジスタのゲート面積に比例するものである。したがって、ドライバ回路の最終段で用いられるトランジスタのゲート幅がより大きいトランジスタにおいて特にゲートリーク電流が増大する。

【0028】

このようなリーク電流を低減する方式として、特開2001-156260号公報には、ゲート酸化膜厚の異なるトランジスタを混在させ、ゲート酸化膜厚が薄くゲートリーク電流が大きいトランジスタで構成した回路は、非動作時にその電源供給を止めてリーク電流を抑制するという方式が開示されている。しかしながら、このような方式では、動作、非動作に応じて電源供給を制御するための構成を設けることが必要である。また動作モードから非動作モードに切換えるための待ち時間も必要となりかかる方式では高速動作の障害ともなる。

【0029】

本発明の目的は、上記の問題を解決するもので、代表的にはドライバ回路で用いられるゲート酸化膜厚の薄いトランジスタのゲートリーク電流を抑制して消費電力を低減する半導体装置を提供することである。

【0030】

【課題を解決するための手段】

本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1および第2のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて第1および第2のトランジスタを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。また、制御回路は、第1および第2の内部ノードの少なくとも一方に接続される電圧調整回路を有する。電圧調整回路は、接続される内部ノードの電圧レベルに応じて、接続される内部ノードに対応するトランジスタがターンオン状態であるときに、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルへ設定する。

【0031】

また、本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1、第2および第3のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の

電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第1の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。制御回路は、第2および第3のトランジスタのターンオン時に、第1のトランジスタをターンオフするために第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに設定するとともに、所定期間、第2の内部ノードに対して一方の電圧を供給する。また、第2のトランジスタは、第3のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。

【0032】

また、本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1～第4のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第1の電圧との間に第1のトランジスタと並列に配置され、第3の内部ノードの電圧レベルに応じてオン・オフする。第4のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第3のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1および第2のトランジスタを相補的にオンさせるとともに第3および第4のトランジスタを相補的にオンさせるために第1、第2および第3の内部ノードの電圧を制御する。制御回路は、入力信号に応じて、第3の内部ノードを第3および第4のトランジスタがオンする第1および第2の電圧の一方に設定する。また、制御回路は、出力ノードの電圧に応じて、第3の内部ノードと、第1および第2の内部ノー

ドのいずれか一方とを所定期間電気的に結合する接続回路とを有する。また、第1のトランジスタは、第3のトランジスタより第1の電圧を出力ノードへ供給する駆動力が大きく、第2のトランジスタは、第4のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。

【0033】

また、本発明の半導体装置は、互いに隣接して配置され、各々が、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するための第1および第2のドライバ回路を含む。第1および第2のドライバ回路の各々は、第1、第2および第3のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第1の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。制御回路は、第2および第3のトランジスタのターンオン時に、第1のトランジスタをターンオフするために第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに設定するとともに、所定期間、第2の内部ノードに対して一方の電圧を供給する。また、第2のトランジスタは、第3のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。各制御回路は、ノイズ調整回路を含む。ノイズ調整回路は、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに供給する。

【0034】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【0035】

(実施の形態1)

図1は、本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【0036】

図1を参照して、本発明の実施の形態1に従うドライバ回路100は、インバータINV1～INV3を含む。従来のドライバ回路と比較して、図31で説明したインバータINV0を削除して、入力信号INを受けるインバータを並列に2段構成にした点が異なる。具体的には、インバータINV2は、入力信号INに応答してその出力結果をインバータINV1のトランジスタNT1のゲートと接続されたノードN0へ出力する。また、インバータINV3は、入力信号INに応答してその出力結果をインバータINV1のトランジスタPT1のゲートと接続されたノードN1へ出力する。インバータINV1およびINV3は、ノードN0およびN1の電圧レベルを制御する制御回路CT1を構成する。

【0037】

インバータINV2は、トランジスタPTT2, PT2, NT2とを含む。ここでは、一例としてトランジスタPTT2およびPT2は、PチャンネルMOSトランジスタとする。また、トランジスタNT2は、NチャンネルMOSトランジスタとする。トランジスタPTT2は、ソース側を電源電圧VDDと接続し、ドレインーゲート間を電気的に結合している。つまり、トランジスタPTT2は、いわゆるダイオード接続されたトランジスタである。トランジスタPT2は、トランジスタPTT2を介して電源電圧VDDとノードN0との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタNT2は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0038】

インバータINV3は、トランジスタPT3およびNT3を含む。ここでは、一例としてトランジスタPT3はPチャンネルMOSトランジスタとする。また、トランジスタNT3はNチャンネルMOSトランジスタとする。トランジスタ

P T 3 は、電源電圧 V D D とノード N 1 との間に配置され、そのゲートは入力信号 I N の入力を受ける。トランジスタ N T 3 は、ノード N 1 と接地電圧 G N D との間に配置され、そのゲートは入力信号 I N の入力を受ける。

【0039】

図2のタイミングチャート図を用いて本発明の実施の形態1に従うドライバ回路100の動作について説明する。

【0040】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ I N V 2 のトランジスタ N T 2 がオンする。これに応答して、接地電圧 G N D とノード N 0 とが電気的に結合され、ノード N 0 の電圧レベルは 0 V となる。また、インバータ I N V 3 のトランジスタ N T 3 がオンする。これに応答して、接地電圧 G N D とノード N 1 とが電気的に結合され、ノード N 1 の電圧レベルは 0 V となる。このノード N 0 およびノード N 1 の電圧レベルに応じて、インバータ I N V 1 が動作する。ノード N 0 およびノード N 1 が共に 0 V すなわち「L」レベルであるためトランジスタ P T 1 がオンし、トランジスタ N T 1 はオフである。これに伴い、電源電圧 V D D とノード N b とが電気的に結合され、ノード N b は 1 V となる。

【0041】

次に、時刻 T 2 において入力信号 I N が 1 V から 0 V に遷移した場合について考える。インバータ I N V 2 において、トランジスタ N T 2 がオフとなり、トランジスタ P T 2 がオンする。これによりノード N 0 は、トランジスタ P T T 2 を介して電源電圧 V D D と電気的に結合される。また、インバータ I N V 3 において、トランジスタ N T 3 がオフとなり、トランジスタ P T 3 がオンとなる。これにより、ノード N 1 は、電源電圧 V D D と電気的に結合される。

【0042】

このノード N 0 およびノード N 1 の電圧レベルに応じて、インバータ I N V 1 は、ノード N b に対して電圧を供給する。ノード N 0 およびノード N 1 が共に「H」レベルであるためトランジスタ N T 1 がオンし、トランジスタ P T 1 はオフである。これに伴い、接地電圧 G N D とノード N b とが電気的に結合され、ノード N b は 0 V となる。

ノードN_bは0Vとなる。

【0043】

ここでノードN₀について考えると、ノードN₀の電圧レベルは、ダイオード接続されたトランジスタP_{TT}2の閾値電圧分、電源電圧V_{DD}から降下した電圧レベルに設定される。なお、このトランジスタP_{TT}2の閾値電圧分、電源電圧V_{DD}から降下した電圧レベルはトランジスタのN_T1のオン電圧（たとえば0.5V）よりも高いものとする。たとえば、トランジスタP_{TT}2の閾値電圧が0.4VであるとするとノードN₀の電圧レベルは0.6V（1V - 0.4V）に設定される。したがって、トランジスタがオンするときのゲート電圧は、電源電圧V_{DD}レベル（1V）よりも低い電圧レベル（0.6V）に設定される。これによりトランジスタN_T1がオンする。したがって、ノードN_bは、接地電圧GNDと電気的に結合され、時刻T₃において完全に0Vに立ち下がる。

【0044】

図3は、ゲート酸化膜厚200nmで設計されたトランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【0045】

図3を参照して、横軸はトランジスタのゲート電圧（V）を示す。縦軸はトランジスタの単位ゲート面積当たりに流れるゲートリーク電流（A/μm²）を示す。

【0046】

図3に示されるように、ゲート電圧が1Vの電圧レベルである場合には、そのときの単位ゲート面積当たりのゲートリーク電流は1E-11（A/μm²）に設定される。一方、ゲート電圧を0.5Vに降下させるとそのゲートリーク電流は1桁低減されて1E-12（A/μm²）に設定される。このようにゲートリーク電流は、ゲート電圧に対して対数的に変化する特性を示すものであるため、ゲート電圧を僅かに降下させるだけでそのリーク電流は大幅に低減される。

【0047】

本発明の実施の形態1に従うドライバ回路100は、インバータINV2およびINV3を用いて入力信号INに応じてノードN₀およびN₁の電圧を制御す

る。また、インバータINV2に含まれるトランジスタNTT2を用いてトランジスタNT1の電圧レベルを調整し、リーク電流を低減する。

【0048】

すなわち、上記において説明したようにトランジスタNT1のゲートに供給するゲート電圧を電源電圧VDDよりも低くオン電圧よりも高い値に設定することにより、トランジスタNT1のゲートリーク電流を大幅に低減することができる。

【0049】

本発明の実施の形態1に従うドライバ回路100の構成により、動作、非動作に応じて電源供給を制御する回路等を設けることなく、また、動作モードと非動作モードとの切替えを必要とすることなく、低消費電力で高速なCMOSドライバ回路を実現することが可能となる。

【0050】

(実施の形態2)

図4は、本発明の実施の形態2に従うドライバ回路200の構成図である。

【0051】

図4を参照して、本発明の実施の形態2に従うドライバ回路200は、図1に示したドライバ回路100と比較して、所定期間内部ノードの電圧レベルを調整するタイミング回路10をさらに含む点が異なる。その他の点は実施の形態1のドライバ回路100と同様の構成であるのでその説明は繰り返さない。また、インバータINV2, INV3およびタイミング回路10は、ノードN0およびN1の電圧レベルを制御する制御回路CT2を構成する。

【0052】

タイミング回路10は、トランジスタ1, 2と、インバータ3とを含む。ここでは、トランジスタ1および2は、PチャンネルMOSトランジスタとする。トランジスタ1および2は、電源電圧VDDとノードN0との間に直列に接続され、トランジスタ1のゲートは、入力信号INの入力を受ける。また、トランジスタ2のゲートは、インバータ3を介する出力信号OUTの反転信号の入力を受ける。

【0053】

図5のタイミングチャート図を用いて本発明の実施の形態2に従うドライバ回路200の動作について説明する。

【0054】

時刻T1において、入力信号INが0Vから1Vに遷移した場合についてはタイミング回路10は実質的に機能しない。したがって、実施の形態1で説明した図2のドライバ回路の動作と同様であり、その説明は繰返さない。

【0055】

時刻T2において、入力信号INが1Vから0Vに遷移した場合について考える。入力信号INが1Vから0Vに遷移した場合、これに伴いインバータINV2においてトランジスタPT2がオンし、トランジスタPTT2を通して電源電圧VDDとノードN0とが電気的に結合される。したがって、インバータINV2は、上述したようにノードN0の電圧レベルを0.6Vに設定しようとする。

【0056】

ここで、タイミング回路10の動作について考える。インバータ3は、出力信号OUT（「H」レベル）の反転信号（「L」レベル）をトランジスタ2に出力し、トランジスタ2はオン状態である。ここで、時刻T2において、入力信号INが1Vから0Vに遷移した場合、トランジスタ1がオンする。したがって、トランジスタ1および2がオンしているため、電源電圧VDDとノードN0とが電気的に結合される。これに伴い、ノードN0の電圧レベルは1Vに設定される。これに応答して、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合され、ノードNbの電圧レベルは0V（「L」レベル）に設定される。ノードNbの電圧レベルが0Vへ変化するとタイミング回路10は、トランジスタ2をオフとする。すなわち、タイミング回路10からノードN0に対しての電源電圧VDD（1V）の供給が停止される。

【0057】

本発明の実施の形態2に従うドライバ回路200は、トランジスタNT1のターンオン時には、一時的にタイミング回路10により電源電圧VDDと電気的に直接結合させることによりトランジスタNT1のオン電流を増大させ、動作速度

を上げる。

【0058】

これにより、ノードN_bの電圧レベルを0Vに設定する時間を短縮することができる。すなわち、実施の形態1に従うドライバ回路100では、図2に示されるようにトランジスタNT1のゲート電圧は0.6Vに設定していたため入力信号INが0Vになった時刻T2から出力信号OUTが0Vとなる時刻T3までには期間S0を要していた。これに対して本発明の実施の形態2のドライバ回路200の構成においては、トランジスタNT1の動作時には、ゲート電圧を1Vの電圧レベルに設定することにより、入力信号INが0Vになった時刻T2から出力信号OUTが0Vとなる時刻T4までの期間S1は期間S0よりも短縮することが可能となる。

【0059】

さらに、出力信号OUTが0Vとなった時刻T4以降においては、電源電圧VDDとノードN0とは電気的に非接続とされるので、トランジスタNT1のオン電圧の範囲内においてノードN0の電圧レベルは0.6Vに下降する。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1に与えるゲート電圧を下降させることによりゲートリーキ電流を低減することができる。

【0060】

(実施の形態2の変形例1)

図6は、本発明の実施の形態2の変形例1に従うCMOSドライバ回路210の回路構成図である。

【0061】

図6を参照して、本発明の実施の形態2の変形例1に従うドライバ回路210は、図5に示す本発明の実施の形態2に従うドライバ回路200と比較して、タイミング回路10をタイミング回路20に置換した点が異なる。また、インバータINV2, INV3およびタイミング回路20は、ノードN0およびN1の電圧レベルを制御する制御回路CT2#を構成する。

【0062】

タイミング回路20は、トランジスタ21と、NAND回路22とを含む。ここでは、トランジスタ21は、一例としてPチャンネルMOSトランジスタとする。NAND回路22はノードNbからの出力信号OUTとノードN1からの伝達された信号とを受けてそのNAND論理演算結果をトランジスタ21のゲートに出力する。トランジスタ21は、電源電圧VDDとノードN0との間に配置され、そのゲートはNAND回路22の入力を受ける。

【0063】

本発明の実施の形態2の変形例1のドライバ回路210の動作についても図5で示した実施の形態2のドライバ回路200の動作を示すタイミングチャート図と同様である。具体的には、時刻T2において、入力信号INが1Vから0Vに遷移するのに応答してノードN1の電圧レベルが1V（「H」レベル）となる。このとき、ノードNbの電圧レベルは1V（「H」レベル）であるので、NAND回路22の出力信号は「L」レベルとなり、トランジスタ21がオンする。したがって、電源電圧VDDとノードN0とが電気的に結合され、ノードN0の電圧レベルは実施の形態2に従うドライバ回路200の構成と同様に1Vとなる。これに応答して、トランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合され、ノードNbの電圧レベルは0Vとなる。これに応答して、NAND回路22の出力信号は「H」レベルとなり、トランジスタ21はオフとなる。また、以降の動作については実施の形態2に従うドライバ回路200の動作と同様であるのでその説明は繰り返さない。すなわち、本発明の実施の形態2の変形例1のドライバ回路210の構成においても、トランジスタNT1がオンする場合には、タイミング回路20により電源電圧VDDと電気的に直接結合させることによりトランジスタNT1を高速動作させる。また、タイミング回路20により、出力信号OUTが0Vである定常的な状態においては、ゲート電圧を降下（0.6V）させることによりゲートリーキ電流を低減することができる。

【0064】

本発明の実施の形態2の変形例1のドライバ回路210の構成により、実施の形態2のドライバ回路200の構成と同様に消費電力を低減することが可能となる。

【0065】

(実施の形態2の変形例2)

図7は、本発明の実施の形態2の変形例2に従うCMOSドライバ回路220の回路構成図である。

【0066】

図7を参照して、本発明の実施の形態2の変形例2に従うドライバ回路220は、図6に示すドライバ回路210と比較して、タイミング回路20をタイミング回路30に置換した点が異なる。また、インバータINV2、INV3およびタイミング回路30は、ノードN0およびN1の電圧レベルを制御する制御回路CT2aを構成する。

【0067】

タイミング回路30は、トランジスタ31と、NAND回路32と、インバータ33と、遅延回路34とを含む。ここでは、一例としてトランジスタ31は、PチャンネルMOSトランジスタとする。NAND回路32は、インバータ33を介する入力信号INの反転信号と遅延回路34による入力信号INの所定期間遅延後の遅延信号とを受けてそのNAND論理演算結果をトランジスタ31のゲートに出力する。トランジスタ31は、電源電圧VDDとノードN0との間に配置され、そのゲートはNAND回路32の出力信号の入力を受ける。

【0068】

本発明の実施の形態2の変形例2のドライバ回路220の動作については実施の形態2の図5で説明したドライバ回路200の動作と同様である。

【0069】

タイミング回路30は、遅延回路34の遅延時間分、トランジスタ31をオンし、電源電圧VDDとノードN0とを電気的に結合する。すなわち、ノードN0の電圧レベルを1Vに設定する。

【0070】

これにより、遅延回路34の遅延時間を調整することによりノードN0と電源電圧VDDとの電気的な接続時間を調整することができる。すなわち、ノードN0の電圧レベルを1Vに設定する期間を調整することができる。これにより、効

率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

【0071】

(実施の形態3)

図8は、本発明の実施の形態3に従うCMOSドライバ回路300の回路構成図である。

【0072】

図8を参照して、本発明の実施の形態3に従うドライバ回路300は、図4で説明した実施の形態2のドライバ回路200と比較して、タイミング回路10をタイミング回路40に置換した点が異なる。また、インバータINV2, INV3およびタイミング回路40は、ノードN0およびN1の電圧レベルを制御する制御回路CT3を構成する。

【0073】

タイミング回路40は、トランジスタ41とインバータ42とを含む。ここでは一例としてトランジスタ41はPチャンネルMOSトランジスタとする。トランジスタ41は、ノードN1とノードN0との間に配置され、そのゲートはインバータ42を介する出力信号OUTの反転信号の入力を受ける。

【0074】

タイミング回路40は、タイミング回路20と同様にトランジスタNT1のターンオン時に一時的に電源電圧VDDとノードN0とを電気的に結合する。具体的には、出力信号OUTが1V(「H」レベル)においてトランジスタ41をオンし、ノードN1とノードN0とを電気的に結合する。

【0075】

本発明の実施の形態3のドライバ回路300の動作についても実施の形態2の図5で説明したドライバ回路200の動作と同様である。具体的には、入力信号INが1Vから0Vに遷移した場合について考える。このときの出力信号OUTは1Vであるので、タイミング回路40において、トランジスタ41は、ノードN1とノードN0とを電気的に導通状態に設定する。インバータINV3は、入力信号INが1Vから0Vに遷移するのに応答してノードN1と電源電圧VDD

(1 V) とを電気的に結合する。これに伴い、ノードN₀と当該電源電圧VDDとが電気的に結合される。これに応答して、インバータINV1のトランジスタNT1がオンし、ノードNbが接地電圧GND(0 V)と電気的に結合される。また、これに応答してタイミング回路40は、ノードN1とノードN0とを非接続とする。すなわち、本発明の実施の形態3のドライバ回路300の構成においても、トランジスタNT1がターンオンする場合には、タイミング回路40により電源電圧VDDとノードN0とを電気的に直接結合させてトランジスタNT1を高速動作させることができる。また、タイミング回路40により、出力信号OUTが0 Vである定的な状態においては、トランジスタ41をオフして、トランジスタNT1のゲート電圧を降下(0.6 V)させることによりゲートリーク電流を低減することができる。

【0076】

(実施の形態3の変形例1)

図9は、本発明の実施の形態3の変形例1に従うCMOSドライバ回路310の回路構成図である。

【0077】

図9を参照して、本発明の実施の形態3の変形例1に従うドライバ回路310は、図8の実施の形態3のドライバ回路300と比較して、タイミング回路40をタイミング回路50に置換した点が異なる。また、インバータINV2, INV3およびタイミング回路50は、ノードN0およびN1の電圧レベルを制御する制御回路CT3#を構成する。

【0078】

タイミング回路50は、トランジスタ51と、インバータ52と、遅延回路53とを含む。ここではトランジスタ51は、一例としてPチャンネルMOSトランジスタとする。トランジスタ51は、ノードN1とノードN0との間に配置され、インバータ52を介して遅延回路53を通過した入力信号INの反転信号の入力を受ける。すなわち、タイミング回路50は、インバータ52および遅延回路53の通過遅延時間分入力信号INを遅延させる。したがって、入力信号INの1 Vから0 Vの遷移に応答してトランジスタ51はノードN0とノードN1と

の導通状態を遅延時間経過後に非導通状態に設定する。

【0079】

本発明の実施の形態3の変形例1のドライバ回路310の動作については図5で説明したのと同様である。

【0080】

タイミング回路50は、入力信号INが1Vから0Vに遷移した場合において、入力信号INの遅延回路53の遅延時間経過後にオン状態であるトランジスタ51をオフ状態とする。入力信号INが1Vから0Vに遷移するに伴い、インバータINV3は電源電圧VDDとノードN1とを電気的に結合する。したがって、電源電圧VDDとノードN0とが、遅延回路53の遅延時間に相当する期間、電気的に結合され、ノードN0の電圧レベルは1Vに設定される。

【0081】

これにより、遅延回路53の遅延時間を調整することによりノードN0と電源電圧VDDとの電気的な接続時間を調整することができる。すなわち、ノードN0の電圧レベルを1Vに設定する期間を調整することができる。これにより、効率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

【0082】

(実施の形態4)

図10は、本発明の実施の形態4に従うCMOSドライバ回路400の回路構成図である。

【0083】

上記の実施の形態1～3およびその変形例に従うドライバ回路の構成においては、NチャンネルMOSトランジスタNT1のターンオン時におけるゲート電圧を調整することにより、全体として消費電力を低減する構成について説明してきた。本発明の実施の形態4に従うドライバ回路400は、NチャンネルMOSトランジスタNT1のゲートリーコンダクション電流を低減するとともに、PチャンネルMOSトランジスタPT1のゲートリーコンダクション電流も低減することにより、全体として消費電力をさらに低減することを目的とする。

【0084】

図10を参照して、本発明の実施の形態4に従うドライバ回路400は、実施の形態3のドライバ回路300と比較して、インバータINV3をインバータINV#3に置換した点と、タイミング回路40をタイミング回路60に置換した点とが異なる。その他の点は同様であるのでその説明は繰返さない。また、インバータINV2, INV#3およびタイミング回路60は、ノードN0およびN1の電圧レベルを制御する制御回路CT4を構成する。

【0085】

インバータINV#3は、インバータINV3と比較してさらにトランジスタNTT3を含む点で異なる。ここでは、一例としてトランジスタNTT3は、NチャンネルMOSトランジスタとする。トランジスタNTT3は、ソース側を接地電圧GNDと接続し、ドレインおよびゲートを電気的に結合したいわゆるダイオード接続したトランジスタである。また、トランジスタNTT3は、トランジスタNT3と接地電圧GNDとの間に配置される。

【0086】

インバータINV#3は、トランジスタNT3がオンした場合、トランジスタNTT3を介して接地電圧GNDとノードN1とを電気的に結合する。このときのノードN1の電圧レベルは、接地電圧GNDからトランジスタNTT3の閾値電圧分上昇した値となる。なお、このトランジスタNTT3の閾値電圧分、接地電圧GNDから上昇した電圧レベルはトランジスタのPT1のオン電圧（たとえば0.7V）の範囲内とする。ここでは、トランジスタNTT3の閾値電圧は、一例として0.4Vとする。したがって、トランジスタPT1は0.4Vでターンオンする。

【0087】

タイミング回路60は、トランジスタ61, 62とインバータ63, 64とを含む。ここでは、一例としてトランジスタ61は、NチャンネルMOSトランジスタとする。また、トランジスタ62は、PチャンネルMOSトランジスタとする。インバータ64は、入力信号INの入力を受けてその反転信号をノードN2に伝達する。トランジスタ61は、ノードN1とノードN2との間に配置され、

そのゲートはインバータ63を介する出力信号OUTの反転信号の入力を受ける。トランジスタ62は、ノードN2とノードN0との間に配置され、そのゲートはインバータ63を介する出力信号OUTの反転信号の入力を受ける。すなわちトランジスタ61および62は相補的にオンし、ノードN2とノードN1およびノードN0の一方とが電気的に結合されている。

【0088】

図11のタイミングチャート図を用いて本発明の実施の形態4に従うドライバ回路400の動作について説明する。

【0089】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV2のトランジスタNT2がオンし、ノードN0の電圧レベルは、0Vとなる。一方、インバータINV#3において、トランジスタNT3がオンする。したがって、インバータINV#3は、ノードN1の電圧レベルを0.4Vに設定しようとする。

【0090】

ここで、タイミング回路60は、インバータ63を介する出力信号OUT（「L」レベル）の入力により、トランジスタ61を導通状態に設定している。この場合において、入力信号INが0Vから1Vに遷移した場合、インバータ64は、ノードN2と接地電圧GNDとを電気的に結合させる。すなわち、ノードN0とノードN1とは導通状態であるため、結果としてノードN1の電圧レベルは0Vに降下する。これに伴い、インバータINV1のトランジスタPT1はオンし、電源電圧VDDとノードNbとが電気的に結合され、ノードNbの電圧レベルは1Vに設定される。

【0091】

また、タイミング回路60は、これに応答してトランジスタ61をオフして非導通状態とし、トランジスタ62をオンして導通状態に設定する。したがって、トランジスタPT1がターンオンする場合には、タイミング回路60により接地電圧GNDと電気的に直接結合させることによりトランジスタPT1のオン電流を増大させ、動作速度を上げる。これにより、ノードNbの電圧レベルが1Vに

遷移する時間を短縮することができる。

【0092】

さらに出力信号OUTが1Vとなった時刻T4以降においては、接地電圧GN DとノードN1とは電気的に非接続とされるのでトランジスタPT1のオン電圧の範囲内でノードN1の電圧レベルは0.4Vに上昇する。したがって、出力信号OUTが1Vである定常的な状態においては、ゲート電圧を上昇させることによりPチャンネルMOSトランジスタPT1のゲートリーク電流を低減することができる。

【0093】

次に、時刻T2において、入力信号INが1Vから0Vに遷移した場合については、図5で説明した実施の形態2のドライバ回路200の動作と同様であるのでその説明は繰り返さない。

【0094】

すなわち、具体的には、NチャンネルMOSトランジスタNT1の動作時において、インバータ64により電源電圧VDDとノードN0とが電気的に直接結合される。また、出力信号OUTが0Vである定常的な状態においては、ゲート電圧を下降させることにより、NチャンネルMOSトランジスタNT1のリーク電流を低減することができる。

【0095】

本発明の実施の形態4のドライバ回路400の構成により、トランジスタNT1およびPT1の動作時は、通常の電源電圧VDDおよび接地電圧をそれぞれ供給することによりトランジスタを高速動作させ、定常状態においてはそれぞれ下降および上昇させることによりリーク電流を低減することができる。

【0096】

すなわち、本発明の実施の形態4のドライバ回路400によりトランジスタNT1のリーク電流を低減するとともに、トランジスタPT1のリーク電流も低減することができるため全体として消費電力をさらに低減することが可能となる。

【0097】

(実施の形態5)

図12は、本発明の実施の形態5に従うドライバ回路500の回路構成図である。

【0098】

上記の実施の形態1～4およびその変形例に従うドライバ回路の構成においては1入力の入力信号INに応じて出力信号OUTを出力するドライバ回路の構成について説明してきた。

【0099】

本発明の実施の形態5に従うドライバ回路500においては2入力の入力信号IN1およびIN2に応じてAND論理演算結果である出力信号OUTを出力するドライバ回路の回路構成について説明する。

【0100】

図12を参照して、本発明の実施の形態5のドライバ回路500は、NAND回路ND0およびND1と、タイミング回路70と、インバータINV1とを含む。また、NAND回路ND0、ND1およびタイミング回路70は、ノードN0およびN1の電圧レベルを制御する制御回路CT5を構成する。

【0101】

NAND回路ND0は、トランジスタ102～106とを含む。トランジスタ105および106は、ノードN0と接地電圧GNDとの間に直列に接続され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ102は、ソース側を電源電圧VDDと接続し、ゲートドレイン間を電気的に結合したいわゆるダイオード接続したトランジスタである。ここでは、トランジスタ102の閾値電圧は、0.4Vとする。トランジスタ103および104は、トランジスタ102を介して並列に電源電圧VDDとノードN0との間に配置され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。このNAND回路ND0は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN0に出力する。また、NAND回路ND1は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN1に出力する。たとえば入力信号IN1およびIN2がともに「H」レベルに設定されているときにはノードN1は「L」レベルすなわち0Vに設定される。一方、

入力信号IN1およびIN2のいずれか一方が「H」レベルのときはノードN1は「H」レベルすなわち1Vに設定する。

【0102】

タイミング回路70は、トランジスタ71～73と、インバータ74とを含む。トランジスタ71および72は、それぞれ電源電圧VDDとトランジスタ73との間に並列に配置され、それぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ73は、トランジスタ71および72とノードN0との間に配置され、そのゲートは、インバータ74を介する出力信号OUTの反転信号の入力を受ける。

【0103】

図13のタイミングチャート図を用いて本発明の実施の形態5に従うドライバ回路500の動作について説明する。初期状態において、入力信号IN1は、0Vとし、入力信号IN2は、1Vとする。

【0104】

時刻T1において、入力信号IN1が0Vから1Vに遷移した場合について考える。入力信号IN1およびIN2がともに1Vに設定されるため、これに応答してNAND回路ND1は、ノードN1の電圧レベルを0Vに設定する。NAND回路ND0において、入力信号IN1およびIN2に応答してトランジスタ105および106がオンする。したがって、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vとなる。これに伴い、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0105】

一方、タイミング回路70のトランジスタ73は、インバータ74を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ73は導通状態に設定されている。

【0106】

時刻T2において、入力信号IN1が1Vから0Vに遷移した場合について考

える。この場合において、NAND回路ND1は、入力信号IN1およびIN2に応答してノードN1を1Vに設定する。NAND回路ND0は、入力信号IN1が0V、入力信号IN2が1Vに応答して、トランジスタ103をオンする。すなわち、トランジスタ102を介して電源電圧VDDとノードN0とが電気的に結合される。したがって、ノードN0の電圧レベルは、0.6Vへ向かう。

【0107】

一方、タイミング回路70において、入力信号IN1が0Vに応答してトランジスタ71がオンする。この場合において、トランジスタ73は導通状態である。したがって、電源電圧VDDとノードN0とが電気的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0108】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0109】

タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トランジスタ73をオフとし、電源電圧VDDとノードN0との電気的な接続をカットする。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1のゲート電圧は0.6Vに降下される。これにより、トランジスタNT1のゲートリーコンデンサの電流を低減することができる。

【0110】

本発明の実施の形態5のドライバ回路500の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーコンデンサの電流を低減することができ、全体的に消費電力を低減することができる。

【0111】

(実施の形態5の変形例)

図14は、本発明の実施の形態5の変形例に従うドライバ回路510の回路構成図である。

【0112】

本発明の実施の形態5の変形例に従うドライバ回路510の構成においては2入力の入力信号IN1およびIN2に応じてOR論理演算結果である出力信号OUTを出力するドライバ回路の回路構成について説明する。

【0113】

図14を参照して、実施の形態5の変形例に従うドライバ回路510は、図12に示す実施の形態5のドライバ回路500と比較してNAND回路ND0およびND1をNOR回路NR0およびNR1に置換した点と、タイミング回路70をタイミング回路80に置換した点とが異なる。また、NOR回路NR0, NR1およびタイミング回路80はノードN0およびN1の電圧レベルを制御する制御回路CT5#を構成する。

【0114】

NOR回路NR1は、入力信号IN1, IN2の入力を受けてそのNOR論理演算結果をノードN1に出力する。NOR回路NR0は、トランジスタ112～116とを含む。ここでは、一例としてトランジスタ112～114は、PチャネルMOSトランジスタとする。また、トランジスタ115および116は、NチャネルMOSトランジスタとする。トランジスタ115および116は、ノードN0と接地電圧GNDとの間に並列にそれぞれ配置され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。トランジスタ112はソース側を電源電圧VDDと接続され、ゲートおよびドレイン間はそれぞれ電気的に結合されたいわゆるダイオード接続されたトランジスタである。トランジスタ113および114は、トランジスタ112を介して電源電圧VDDとノードN0との間に直列に接続され、それぞれのゲートは入力信号IN1, IN2の入力を受ける。

【0115】

タイミング回路80は、トランジスタ81～83と、インバータ84とを含む。ここでは、一例としてトランジスタ81～83は、PチャネルMOSトランジスタとする。トランジスタ81および82は、トランジスタ83を介してノードN0と電源電圧VDDとの間に直列に接続され、それぞれのゲートは入力信号

IN1およびIN2の入力を受ける。また、トランジスタ83はトランジスタ82とノードN0との間に配置され、インバータ84を介して出力信号OUTの反転信号の入力を受ける。

【0116】

図15のタイミングチャート図を用いて本発明の実施の形態5の変形例に従うドライバ回路510の動作について説明する。初期状態において、入力信号IN1およびIN2は、0Vとする。

【0117】

時刻T1において、入力信号IN2が0Vから1Vに遷移した場合について考える。入力信号IN1が0Vであり、入力信号IN2が1Vであるため、これに応答してNOR回路NR1は、ノードN1の電圧レベルを0Vに設定する。NOR回路NR0において、入力信号IN1およびIN2に応答してトランジスタ116がオンする。したがって、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vとなる。これに伴いインバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0118】

一方、タイミング回路80のトランジスタ83は、インバータ74を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ83は導通状態に設定されている。

【0119】

時刻T2において、入力信号IN2が1Vから0Vに遷移した場合について考える。この場合において、NOR回路NR1は、入力信号IN1およびIN2に応答してノードN1を1Vに設定する。NAND回路NR0は、入力信号IN1が0V、入力信号IN2が0Vに応答して、トランジスタ113および114をオンする。すなわち、トランジスタ112を介して電源電圧VDDとノードN0とが電気的に結合される。したがって、ノードN0の電圧レベルは、0.6Vへ向かう。

【0120】

一方、タイミング回路70において、入力信号IN1およびIN2が共に0Vに応答してトランジスタ81および82がオンする。この場合において、トランジスタ83は導通状態である。したがって、電源電圧VDDとノードN0とが電気的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0121】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0122】

タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トランジスタ83をオフとし、電源電圧VDDとノードN0との電気的な接続をカットする。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1のゲート電圧は0.6Vに降下される。これにより、トランジスタNT1のゲートリーコンデンサの漏れ电流を低減することができる。

【0123】

本発明の実施の形態5の変形例のドライバ回路510の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーク電流を低減することができ、全体的に消費電力を低減することが可能となる。

【0124】

(実施の形態6)

上記の実施の形態1～5およびその変形例に従うドライバ回路の構成においては、最終段のインバータを構成するトランジスタのゲート電圧を中間的な電圧レベルに設定することにより、最終段のインバータを構成するトランジスタのゲートリーコンデンサの漏れ电流を低減する方式について説明してきた。

【0125】

本発明の実施の形態6に従うドライバ回路600は、最終段のトランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落

とすことにより、さらに消費電力を低減する構成について説明する。

【0126】

図16は、本発明の実施の形態6に従うドライバ回路600の構成図である。

図16を参照して、本発明の実施の形態6に従うドライバ回路600は、図4に示したドライバ回路200と比較して、インバータINV2を削除した点と、トランジスタNT4, NT5を新たに設けた点とが異なる。その他のインバータINV1, INV3については実施の形態2の図4に示したドライバ回路200と同様の構成であるのでその説明は繰り返さない。インバータINV3およびタイミング回路10は、ノードN0およびN1の電圧レベルを制御する制御回路CT6を構成する。

【0127】

トランジスタNT5は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは、入力信号INの入力を受ける。また、トランジスタNT4は、トランジスタNT1と並列に、ノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電気的に接続される。

【0128】

一例として、トランジスタNT4およびNT5は、NチャンネルMOSトランジスタとする。なお、トランジスタNT4およびNT5の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタNT4およびNT5のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【0129】

図17のタイミングチャート図を用いて本発明の実施の形態6に従うドライバ回路600の動作について説明する。

【0130】

時刻T1において、入力信号INが0Vから1Vに遷移した場合について考える。インバータINV3は、入力信号INの反転信号をノードN1に伝達する。すなわち、ノードN1は、接地電圧GNDと電気的に結合され、ノードN1の電圧レベルは0Vに設定される。これに応答して、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。し

たがって、ノードN_bの電圧レベルは1Vとなる。トランジスタNT5は、入力信号INに応答して接地電圧GNDとノードN0とを電気的に結合する。したがって、ノードN0の電圧レベルは0Vに設定される。

【0131】

一方、タイミング回路10は、時刻T1においては実施の形態2で説明したのと同様に、トランジスタ1が入力信号INに応答して非導通状態であるため機能しない。なお、この場合、ノードN_bの電圧レベルは、1Vに設定されているためタイミング回路10のトランジスタ2は、インバータ3の反転信号(0V)に応答して導通状態である。

【0132】

次に、時刻T2において、入力信号INが1Vから0Vに遷移した場合について考える。インバータINV3は、入力信号INの反転信号をノードN1に伝達する。すなわちノードN1は、電源電圧VDDと電気的に結合され、ノードN1の電圧レベルは0Vから1Vに設定される。したがって、インバータINV1のトランジスタPT1は、オフする。

【0133】

一方、タイミング回路10のトランジスタ2は、上述したようにオン状態であるため時刻T2において、入力信号INが1Vから0Vに遷移した場合、トランジスタ1がオンする。これに伴い、図5のタイミングチャートで説明したのと同様にトランジスタ1および2がオンし、電源電圧VDDとノードN0とを電気的結合する。したがって、ノードN0の電圧レベルは1Vに設定される。これに応答して、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードN_bとが電気的に結合され、ノードN_bの電圧レベルは0V(「L」レベル)に設定される。

【0134】

次に、ノードN_bの電圧レベルが0Vへ変化するとタイミング回路10は、トランジスタ2をオフとする。すなわち、タイミング回路10からノードN0に対しての電源電圧VDD(1V)の供給が停止される。

【0135】

また、このタイミング回路10の動作とともに、トランジスタNT4はノードN1の電圧レベルが1Vに設定されるのに伴いオン状態となり、接地電圧GNDとノードNbとを電気的に結合し、ノードNbの電圧レベルを0Vに設定する。

【0136】

したがって、ノードNbは、入力信号INが1Vから0Vに遷移する期間において、トランジスタNT1およびNT4がともにオンする。この出力信号OUTが1Vから0Vへ変化する遷移期間においては、動作速度の速いトランジスタNT1が所定期間ターンオンするため、その高速性を維持し、出力信号OUTが0Vに設定された後の定常期間には、トランジスタNT4を用いて0Vに固定する。

【0137】

すなわち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0138】

この状態においてノードN0は、上述したようにタイミング回路10からの電源電圧VDDの供給が停止されるためフローティング状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは接地電圧GNDレベルに下がり、トランジスタNT1はオフ状態になる。

【0139】

本発明の実施の形態6のドライバ回路600すなわち電流駆動能力の異なる2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0140】

(実施の形態6の変形例1)

図18は、本発明の実施の形態6の変形例1に従うドライバ回路610の回路構成図である。

【0141】

図18を参照して、本発明の実施の形態6の変形例1に従うドライバ回路610は、図16で説明した実施の形態6のドライバ回路600と比較して、タイミング回路10をタイミング回路40に置換した点が異なる。タイミング回路40は、トランジスタ41とインバータ42とを含む。インバータINV3およびタイミング回路40は、ノードN0およびN1の電圧レベルを制御する制御回路CT6#を構成する。

【0142】

タイミング回路40は、タイミング回路20と同様にトランジスタNT1のターンオン時に一時的に電源電圧VDDとノードN0とを電気的に結合する。具体的には、出力信号OUTが1V（「H」レベル）においてトランジスタ41をオンし、ノードN1とノードN0とを電気的に結合する。

【0143】

本発明の実施の形態6の変形例1に従うドライバ回路610の動作についても実施の形態6の図17で説明したドライバ回路600の動作と同様である。

【0144】

具体的には、入力信号INが1Vから0Vに遷移した場合に出力信号OUTは1Vであるので、タイミング回路40において、トランジスタ41は、ノードN1とノードN0とを電気的に導通状態に設定する。インバータINV3は、入力信号INが1Vから0Vに遷移するのに応答してノードN1と電源電圧VDD（1V）とを電気的に結合する。これに伴い、ノードN0と当該電源電圧VDDとが電気的に結合される。これに応答して、インバータINV1のトランジスタNT1がオンし、ノードNbが接地電圧GND（0V）と電気的に結合される。これに伴い、タイミング回路40は、ノードN1とノードN0とを非接続とする。また、ノードN1が1Vになるに伴いトランジスタNT4がオンし、ノードNbは接地電圧GNDと電気的に結合される。

【0145】

したがって、上述したようにノードNbは、入力信号INが1Vから0Vに遷移する期間において、トランジスタNT1およびNT4がともにオンする。すな

わち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0146】

また、この状態においてノードN0は、上述したように電源電圧VDDの供給が停止し、フローティング状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは下がり、トランジスタNT1はオフ状態になる。

【0147】

本発明の実施の形態6の変形例1に従うドライバ回路610においても、2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0148】

(実施の形態6の変形例2)

本発明の実施の形態6の変形例2は、図12の実施の形態5で説明した2入力の入力信号に応じてAND論理演算結果を出力するドライバ回路において、トランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落とすことにより、さらに消費電力を低減する構成について説明する。

【0149】

図19は、本発明の実施の形態6の変形例2に従うドライバ回路620の回路構成図である。

【0150】

図19を参照して、本発明の実施の形態6の変形例2に従うドライバ回路620は、図12のドライバ回路610と比較して、NAND回路ND0を削除した点と、トランジスタNT4～NT6をさらに設けた点とが異なる。また、NAND回路ND1およびタイミング回路70は、ノードN0およびN1の電圧レベルを制御する制御回路CT6aを構成する。一例として、トランジスタNT4～N

T6は、NチャンネルMOSトランジスタとする。なお、トランジスタNT4～NT6の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタNT4～NT6のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【0151】

トランジスタNT4は、トランジスタNT1と並列にノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電気的に結合される。トランジスタNT5およびNT6は、ノードN0と接地電圧GNDとの間に直列に接続され、それぞれのゲートは、入力信号IN2およびIN1の入力を受ける。

【0152】

NAND回路ND1は、上述したように入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN1に出力する。たとえば入力信号IN1およびIN2がともに「H」レベルに設定されているときにはノードN1は「L」レベルすなわち0Vに設定される。一方、入力信号IN1およびIN2のいずれか一方が「L」レベルのときは、ノードN1は「H」レベルすなわち1Vに設定される。

【0153】

タイミング回路70は、上述したように所定期間ノードN0の電圧レベルを調整する。

【0154】

図20のタイミングチャート図を用いて本発明の実施の形態6の変形例2に従うドライバ回路620の動作について説明する。初期状態において、入力信号IN1は、0Vとし、入力信号IN2は、1Vとする。

【0155】

時刻T1において、入力信号IN1が0Vから1Vに遷移した場合について考える。図11において説明したのと同様に入力信号IN1およびIN2がともに1Vに設定されるため、これに応答してNAND回路ND1は、ノードN1の電圧レベルを0Vに設定する。これに伴い、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがつ

て、ノードN_bの電圧レベルは、1Vに設定される。

【0156】

また、トランジスタNT5およびNT6は、ともに入力信号IN1およびIN2(1V)に応答してオンする。したがって、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vとなる。

【0157】

一方、タイミング回路70のトランジスタ73は、図11のタイミングチャート図で説明したのと同様に出力信号OUTが「H」レベルである場合において、トランジスタ73は導通状態に設定されている。

【0158】

時刻T2において、入力信号IN1が1Vから0Vに遷移した場合について考える。この場合において、NAND回路ND1は、入力信号IN1およびIN2に応答してノードN1を1Vに設定する。したがって、トランジスタPT1は、オフとなる。

【0159】

タイミング回路70において、入力信号IN1が0Vに応答してトランジスタ71がオンする。この場合において、トランジスタ73は導通状態である。したがって、電源電圧VDDとノードN0とが電気的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0160】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードN_bとが電気的に結合される。したがって、ノードN_bの電圧レベルは0Vに設定される。

【0161】

次に、タイミング回路10は、出力信号OUTが0Vとなった時刻以降においては、再びトランジスタ73をオフとし、電源電圧VDDとノードN0との電気的に切離す。これに伴い、ノードN0に対する電圧供給がカットされ、トランジスタNT1はオフとなる。

【0162】

一方、このタイミング回路10の動作とともに、トランジスタNT4は、ノードN1の電圧レベルが1Vに設定されるのに伴い、オン状態となり接地電圧GNとノードNbとを電気的に結合し、ノードNbの電圧レベルを0Vに設定する。

【0163】

したがって、ノードNbは、入力信号INが1Vから0Vに遷移する期間において、トランジスタNT1およびNT4がともにオンする。この出力信号OUTが1Vから0Vへ変化する遷移期間においては、動作速度の速いトランジスタNT1が所定期間ターンオンするため、その高速性を維持し、出力信号OUTが0Vに設定された後の定常期間には、トランジスタNT4を用いて0Vに固定する。

【0164】

すなわち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0165】

この状態においてノードN0は、電圧供給のカットによりフローティング状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは下がり、トランジスタNT1はオフ状態になる。

【0166】

本発明の実施の形態6の変形例2の2入力のAND回路構成であるドライバ回路620においても、電流駆動能力の異なる2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0167】

(実施の形態6の変形例3)

本発明の実施の形態6の変形例3は、2入力の入力信号IN1およびIN2に応じてOR論理演算結果である出力信号OUTを出力するドライバ回路630の

回路構成について説明する。

【0168】

図21は、本発明の実施の形態6の変形例3に従う2入力のOR回路構成であるドライバ回路630の回路構成図である。

【0169】

図21を参照して、本発明の実施の形態6の変形例3に従うドライバ回路630は、図14に示す実施の形態5の変形例に従うドライバ回路510と比較してNROを削除した点と、トランジスタNT4～NT6をさらに設けた点とが異なる。また、NOR回路NR1およびタイミング回路80は、ノードN0およびN1の電圧レベルを制御する制御回路CT6bを構成する。

【0170】

トランジスタNT4は、トランジスタNT1と並列にノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電気的に結合される。トランジスタNT5およびNT6は、ノードN0と接地電圧GNDとの間にそれぞれ並列に接続され、それぞれのゲートは、入力信号IN1およびIN2の入力を受ける。

【0171】

図22のタイミングチャート図を用いて本発明の実施の形態6の変形例3に従うドライバ回路630の動作について説明する。初期状態において、入力信号IN1およびIN2は、0Vとする。

【0172】

時刻T1において、入力信号IN2が0Vから1Vに遷移した場合について考える。図15において説明したのと同様に入力信号IN1が0Vであり、入力信号IN2が1Vであるため、これに応答してNOR回路NR1は、ノードN1の電圧レベルを0Vに設定する。これに伴いインバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0173】

また、トランジスタNT6は、入力信号IN2(1V)に応答してオンする。

したがって、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vとなる。

【0174】

一方、タイミング回路80のトランジスタ83は、図15のタイミングチャートで説明したのと同様にインバータ84を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ83は導通状態に設定されている。

【0175】

時刻T2において、入力信号IN2が1Vから0Vに遷移した場合について考える。この場合において、NOR回路NR1は、入力信号IN1およびIN2に応答してノードN1を1Vに設定する。したがって、トランジスタPT1は、オフとなる。

【0176】

一方、タイミング回路70において、入力信号IN1およびIN2が共に0Vに応答してトランジスタ81および82がオンする。この場合において、トランジスタ83は導通状態である。したがって、電源電圧VDDとノードN0とが電気的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0177】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0178】

また、タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トランジスタ83をオフとし、電源電圧VDDとノードN0との電気的な接続を切離する。これに伴い、ノードN0に対する電圧供給がカットされ、トランジスタNT1はオフとなる。

【0179】

一方、このタイミング回路10の動作とともに、トランジスタNT4は、ノー

ドN 1の電圧レベルが1Vに設定されるのに伴い、オン状態となり接地電圧GNDとノードN bとを電気的に結合し、ノードN bの電圧レベルを0Vに設定する。

【0180】

したがって、ノードN bは、入力信号INが1Vから0Vに遷移する期間において、トランジスタNT1およびNT4がともにオンする。この出力信号OUTが1Vから0Vへ変化する遷移期間においては、動作速度の速いトランジスタNT1が所定期間ターンオンするため、その高速性を維持し、出力信号OUTが0Vに設定された後の定常期間には、トランジスタNT4を用いて0Vに固定する。

【0181】

すなわち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0182】

この状態においてノードN0は、上述したように電圧供給のカットによりフローティング状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは下がり、トランジスタNT1はオフ状態になる。

【0183】

本発明の実施の形態6の変形例3の2入力のOR回路構成であるドライバ回路630においても、電流駆動能力の異なる2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0184】

(実施の形態7)

上記の実施の形態6においては、NチャンネルMOSトランジスタについて電流駆動能力の高いトランジスタNT1と電流駆動能力の低いトランジスタNT4との2種類のトランジスタを用いて動作高速性を担保するとともに消費電力を低

減する構成について説明してきた。

【0185】

本実施の形態7については、PチャンネルMOSトランジスタについても同様に電流駆動能力の高いトランジスタおよび低いトランジスタの2種類を用いて動作高速性を担保するとともに消費電力を低減する構成について説明する。

【0186】

図23は、本発明の実施の形態7に従うCMOSドライバ回路700の回路構成図である。

【0187】

図23を参照して、本発明の実施の形態7に従うドライバ回路700は、インバータINV1と、INV4と、制御回路90とを含む。

【0188】

インバータINV1については、実施の形態1で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0189】

インバータINV4は、ノードNbを介してインバータINV1と直列に接続され、インバータINV1よりも電圧駆動能力の低いトランジスタで構成される。具体的には、インバータINV4は、トランジスタPT4, PT5を含む。

【0190】

トランジスタPT4は、電源電圧VDDとノードNbとの間に配置され、そのゲートはノードN2と電気的に結合される。トランジスタNT4は、接地電圧GNDとノードNbとの間に配置され、そのゲートはノードN2と電気的に結合される。

【0191】

制御回路90は、インバータ93, 94と、トランジスタ91, 92, 95, 96とを含む。

【0192】

トランジスタ95は、電源電圧VDDとノードN1との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタ91は、ノードN1とノード

N₂との間に配置され、そのゲートはインバータ9₃を介するノードN_bの反転信号の入力を受ける。トランジスタ9₂は、ノードN₂とノードN₀との間に配置され、そのゲートはインバータ9₃を介するノードN_bの反転信号の入力を受ける。トランジスタ9₆は、ノードN₀と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。インバータ9₄は、入力信号INの入力を受けてその反転信号をノードN₂に伝達する。

【0193】

図24のタイミングチャート図を用いて本発明の実施の形態7に従うドライバ回路700の動作について説明する。

【0194】

入力信号INが0Vの定常状態において、ノードN_bは0Vに設定されている。したがって、制御回路9₀のインバータ9₃は、ノードN_bの電圧レベルに応答してオンしている。したがって、ノードN₁とノードN₂とは電気的に結合されている。

【0195】

時刻T₁において、入力信号INが0Vから1Vに遷移した場合、制御回路9₀のインバータ9₄は、ノードN₂を0Vに設定する。これに伴い、インバータINV1は、ノードN₂の電圧レベルに応答してオンし、電源電圧VDDとノードN_bとを電気的に結合する。すなわち、ノードN_bの電圧レベルは1Vに設定される。また、ノードN_bの電圧レベルが1Vに設定されると制御回路9₀のインバータ9₃は、トランジスタ9₁をオフしするとともにトランジスタ9₂をオンする。したがって、ノードN₂とノードN₀とが電気的に結合される。これに伴い、ノードN₁への電源供給がカットされ、トランジスタPT1はオフとなる。

【0196】

一方、時刻T₁において、ノードN₂の電圧レベルに応答してインバータINV4のトランジスタPT4がオンする。これに伴い、ノードN_bと電源電圧VDDとが電気的に結合され、ノードN_bは1Vに設定される。

【0197】

したがって、トランジスタPT1およびPT4の動作に伴い、ノードNbは、1Vに設定される。また、制御回路90のトランジスタ96は、入力信号IN(1V)に応答してオンし、ノードN0と接地電圧GNDとを電気的に結合する。

【0198】

次に、時刻T2において、入力信号INが1Vから0Vに遷移した場合について考える。

【0199】

制御回路90のインバータ94は、ノードN2を1Vに設定する。上述したように、トランジスタ92はオンし、ノードN2とノードN0とは電気的に結合されている。したがって、インバータINV1のトランジスタNT1がオンし、ノードNbと接地電圧GNDとが電気的に結合される。これに伴い、ノードNbの電圧レベルは0Vに設定される。ノードNbが0Vになるに従い制御回路90のインバータ93は、トランジスタ92をオフするとともにトランジスタ91をオンする。したがって、上述したようにノードN2とノードN1とが電気的に結合される。これに伴い、ノードN0への電源供給がカットされ、トランジスタNT1はオフとなる。

【0200】

一方、時刻T2において、ノードN2の電圧レベルに応答してインバータINV4のトランジスタNT4がオンする。これに伴い、ノードNbと接地電圧GNDとが電気的に結合され、ノードNbは0Vに設定される。

【0201】

したがって、トランジスタNT1およびNT4の動作に伴い、ノードNbは、0Vに設定される。また、制御回路90のトランジスタ95は、入力信号IN(0V)に応答してオンし、ノードN1と電源電圧VDDとを電気的に結合する。

【0202】

上述したように入力信号INが0Vから1Vに遷移する期間においては、トランジスタPT1およびPT4がともにオンする。この出力信号OUTが0Vから1Vへ変化する遷移期間においては、動作速度の速いトランジスタPT1が所定期間ターンオンするため、その高速性を維持し、出力信号OUTが1Vに設定さ

れた後の定常期間には、トランジスタPT4を用いて1Vに固定する。

【0203】

すなわち、リーク電流の大きなトランジスタPT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0204】

一方、入力信号INが1Vから0Vに遷移する期間においては、トランジスタNT1およびNT4がともにオンする。この出力信号OUTが1Vから0Vへ変化する遷移期間においては、動作速度の速いトランジスタNT1が所定期間タンオンするため、その高速性を維持し、出力信号OUTが0Vに設定された後の定常期間には、トランジスタNT4を用いて0Vに固定する。

【0205】

すなわち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0206】

この定常期間においてノードN0およびN1は、上述したように電圧供給のカットによりともにフローティング状態となるがトランジスタNT1およびPT1のゲートリークにより緩やかにノードN0およびN1のそれぞれの電圧レベルは下がり、トランジスタNT1およびPT1はそれぞれオフ状態になる。

【0207】

本発明の実施の形態7のドライバ回路700は、電流駆動能力の異なる2種類のトランジスタを電源電圧VDD側および接地電圧GND側の両方に設ける構成である。これに伴い、ドライバ回路700の動作高速性をさらに担保するとともに、リーク電流の大きなトランジスタNT1およびPT1のゲート電圧を非動作時に0Vおよび1Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0208】

(実施の形態8)

上記の実施の形態6、7については、電流駆動能力の異なる2種類のトランジスタを用いて動作高速性を担保するとともに消費電力を低減する構成について説明した。

【0209】

本実施の形態8についてはドライバ回路のスタンバイ時において、具体的には、入力信号INが0Vを維持している場合において、外部から受けるノイズにより出力信号OUTの受ける影響を抑制する構成について説明する。

【0210】

図25は、本実施の形態8のドライバ回路600aの概略構成図である。

図25を参照して、本実施の形態8のドライバ回路600aは、図16のドライバ回路600と比較して、タイミング回路10をタイミング回路10aに置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。

【0211】

タイミング回路10aは、タイミング回路10と比較して、トランジスタ2#をさらに含む。その他の点は同様であるのでその詳細な説明は繰り返さない。トランジスタ2#は、トランジスタ2と並列に、トランジスタ1とノードN0との間に配置され、外部から入力される制御信号/Pをゲートに受ける。トランジスタ2#は、PチャンネルMOSトランジスタとする。インバータINV3およびタイミング回路10aは、ノードN0およびN1の電圧レベルを制御する制御回路CT6a#を構成する。また、トランジスタ2#は、ノイズ調整回路を構成する。

【0212】

本実施の形態8のドライバ回路600aは、スタンバイ時において、制御信号/P(0V)の信号の入力を受ける。その他の場合においては、制御信号/P(1V)の入力を受ける。この場合における動作は、実施の形態6のドライバ回路600で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0213】

図26のタイミングチャート図を用いて本発明の実施の形態8のドライバ回路600aの動作について説明する。

【0214】

図26を参照して、スタンバイ期間の時刻TT1において、出力信号OUTがノイズの影響により0Vから浮き上がった場合について考える。ノイズとしては、一例として図示しない隣接する信号線の電圧レベルが変化した場合に隣接する信号線とのカップリング容量により引き起こされる場合がある。ここで、制御信号/Pは0Vに設定されているものとする。

【0215】

このスタンバイ期間において、入力信号INは0Vを維持している。したがって、ノードN1は1Vに設定されており、電流駆動能力の低いトランジスタNT4がオンした状態を維持している。このトランジスタNT4は、電流駆動能力が低いため時刻TT1に生じたノイズが解消されるためには期間S2も掛かることとなる。

【0216】

本実施の形態8においては、スタンバイ時において、外部から制御信号/P(0V)が入力される。この場合、たとえば時刻TT2において、出力信号OUTがノイズの影響により0Vから浮き上がった場合について考える。制御信号/P(0V)の入力に伴い、トランジスタ2#がオンする。入力信号INは0Vに設定されているためトランジスタ1がオンしている。したがって、トランジスタ1および2#のオンに伴い電源電圧VDDとノードN0とが電気的に結合されて、ノードN0は1Vに設定される。これに伴い、電流駆動能力の高いトランジスタNT1がオンする。したがって、時刻TT2において、出力信号OUTにノイズが生じた場合においても期間S2よりも短い期間S1で解消される。

【0217】

したがって、本実施の形態8のドライバ回路600aの構成により、スタンバイ時において外部から受けるノイズにより出力信号OUTの受ける影響を抑制することができる。

【0218】

なお、スタンバイ時において、外部から入力される制御信号/P(「L」レベル)は、ノイズの影響の受けやすい所定期間必要に応じて図示しないコントロー

ル回路により入力される構成とすることができる。もしくは、ある一定周期で外部から入力される構成とすることもできる。

【0219】

(実施の形態8の変形例1)

図27は、本実施の形態8の変形例1に従うドライバ回路600bの概略構成図である。

【0220】

図27を参照して、本実施の形態8の変形例1に従うドライバ回路600bは、図16のドライバ回路600と比較して、タイミング回路10をタイミング回路10bに置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。

【0221】

タイミング回路10bは、タイミング回路10と比較して、インバータ3をNOR回路4に置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。NOR回路4は、出力ノードNbと、制御信号/Pの反転信号である制御信号Pとの入力を受けて、そのNOR論理演算結果をトランジスタ2のゲートに出力する。インバータINV3およびタイミング回路10bは、ノードN0およびN1の電圧レベルを制御する制御回路CT6b#を構成する。また、NOR回路4は、ノイズ調整回路を構成する。

【0222】

本実施の形態8の変形例1に従うドライバ回路600bは、スタンバイ時において、制御信号P(1V)の信号の入力を受ける。その他の場合においては、制御信号P(0V)の入力を受ける。この場合、NOR回路4はインバータ3と同様に動作し、本実施の形態8の変形例1に従うドライバ回路600bの動作は、実施の形態6のドライバ回路600で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0223】

ここで、スタンバイ時において、制御信号P(1V)の入力に伴い、NOR回路4の出力信号は1Vに設定される。これに伴い、トランジスタ2がオンする。

スタンバイ時においては、入力信号INが0Vであるため、トランジスタ1および2がオンする。したがって、電源電圧VDDとノードN0とが電気的に結合され、ノードN0が1Vに設定される。ゆえに、電流駆動能力の高いトランジスタNT1がオンする。

【0224】

したがって、上記の実施の形態8のドライバ回路600aで説明したのと同様の動作を実行する。すなわち、本実施の形態8の変形例1に従うドライバ回路600bの構成においても、スタンバイ時において外部から受けるノイズにより出力信号OUTの受ける影響を抑制することができる。

【0225】

なお、本実施の形態8およびその変形例1で説明した構成は、実施の形態6の変形例で説明したドライバ回路についても同様に適用可能である。

【0226】

(実施の形態8の変形例2)

本実施の形態8の変形例2は、ノイズの影響を受けやすい場合、具体的には、複数のドライバ回路が隣接して配置される構成において、ノイズの影響を抑制する構成について説明する。

【0227】

図28は、隣接して配置されるドライバ回路DV1およびDV2の概略構成図である。

【0228】

ドライバ回路DV1は、入力信号IN1に応答して出力信号OUT1を設定する。ドライバ回路DV2は、入力信号IN2に応答して出力信号OUT2を設定する。また、インバータIV1は、入力信号IN2を反転した制御信号/Pとしてドライバ回路DV1に入力する。インバータIV2は、入力信号IN1を反転して制御信号/Pとしてドライバ回路DV2に入力する。なお、図28で示されるキャパシタCpはドライバ回路DV1, DV2の出力信号OUT1およびOUT2がそれぞれ伝達される信号線間に生じるカップリング容量である。

【0229】

ドライバ回路DV1およびDV2は各々、一例として実施の形態8で説明したドライバ回路600aに相当する。

【0230】

ここで、図29のタイミングチャート図を用いてドライバ回路DV1が動作する場合について説明する。なお、ドライバ回路DV2はスタンバイ時であるものとする。

【0231】

時刻TT3において、入力信号IN1が1Vに設定されると、上述したのと同様にドライバ回路DV1が動作して、出力信号OUT1を1Vに設定する。

【0232】

なお、隣接するドライバ回路DV2の入力信号IN1は0Vに設定されているためその出力信号OUT2は0Vである。

【0233】

時刻TT3#において、出力信号OUT2を伝達する信号線は、出力信号OUT1が1Vに設定されるに伴い、そのカッピング容量により0Vから浮き上がるノイズが生じる。

【0234】

ここで、ドライバ回路DV2の制御信号/Pは、入力信号IN1(1V)の設定に伴い0Vに設定されている。したがって、実施の形態8で説明したのと同様に制御信号/P(0V)の設定に伴い、電流駆動能力の高いトランジスタNT1がオンする。これに伴い、出力信号OUT2に生じるノイズが解消される。

【0235】

一方、時刻TT4において、ドライバ回路DV1に入力される入力信号IN1が0Vに設定される。

【0236】

次に、時刻TT4#において、ドライバ回路DV1の出力信号OUT1は0Vに設定される。

【0237】

なお、時刻TT4#において、出力信号OUT2を伝達する信号線は、出力信

号OUT1が0Vに設定されるに伴い、そのカッピング容量により0Vから少し沈む雑音が発生する。この場合、出力信号OUT1および出力信号OUT2を伝達する信号線はともに0Vであるため雑音レベルは軽微であり、電流駆動能力の低いトランジスタNT4のオンにより十分に雑音を解消できる。

【0238】

したがって、複数のドライバ回路が隣接して配置される構成において、すなわちノイズが生じやすい状況においても本実施の形態8の変形例2に従う構成により十分にノイズの影響を抑制することができる。

【0239】

図30は、別の隣接して配置されるドライバ回路DV1#およびDV2#の概略構成図である。具体的には、ドライバ回路DV1#およびDV2#は、一例として実施の形態8の変形例1に従うドライバ回路600bに相当する。

【0240】

ドライバ回路DV1#は、入力信号IN1に応答して出力信号OUT1を設定する。ドライバ回路DV2#は、入力信号IN2に応答して出力信号OUT2を設定する。また、入力信号IN2は、制御信号Pとしてドライバ回路DV1#に入力される。入力信号IN1は、制御信号Pとしてドライバ回路DV2#に入力される。なお、図30で示されるキャパシタCpはドライバ回路DV1#, DV2#の出力信号OUT1およびOUT2がそれぞれ伝達される信号線間に生じるカッピング容量である。

【0241】

動作については、上記の図29のタイミングチャートで説明したのと同様である。具体的には、一方のドライバ回路の入力信号IN1(IN2)が1Vに設定されるに伴い、他方のドライバ回路の出力信号OUT2(OUT1)にノイズが生じる場合がある。この場合、一方のドライバ回路の入力信号IN1(IN2)が1Vに設定されるに伴い、他方のドライバ回路に制御信号P(1V)が入力される。

【0242】

これに伴い、実施の形態8の変形例1のドライバ回路600bに制御信号Pが

入力された場合と同様の動作を実行し、生じるノイズを解消する。

【0243】

したがって、複数のドライバ回路が隣接して配置される構成において、すなわちノイズが生じやすい状況においても本実施の形態8の変形例2に従う図30の構成においても十分にノイズの影響を抑制することができる。

【0244】

なお、本実施の形態8の変形例2においては、ドライバ回路600aおよび600bを用いてノイズの影響を抑制する構成について説明してきたが、本実施の形態8およびその変形例1で説明した構成を実施の形態6の変形例で説明したドライバ回路について適用した構成についても同様に適用可能である。

【0245】

なお、上記の実施の形態のドライバ回路においてはゲート酸化膜を薄膜化することにより、ゲートリーキ電流が増大することについて説明した。一方、トランジスタNT1のように動作速度が要求されるトランジスタについてはゲート酸化膜を薄膜化する必要があるが、それ以外の高速性が要求されないトランジスタについては薄膜化する必要はない。したがってトランジスタNT1およびPT1のみ薄膜化し、それ以外のトランジスタについてはゲート酸化膜を通常の膜厚とすることにより全体としてトランジスタのゲートリーキ電流を低減することが可能である。具体的には、トランジスタNT1およびPT1については薄膜化する工程を他のトランジスタと分離することにより製造が可能となる。

【0246】

また、比誘電率の高いいわゆる高誘電体のゲート酸化膜を用いることにより、二酸化ケイ素で構成されたゲート酸化膜の場合に比べて電界強度を上げることができる。すなわち、高誘電体のゲート酸化膜を用いることにより高速のトランジスタを実現することが可能となる。

【0247】

したがって、ゲート酸化膜厚を薄膜化した場合において、ゲート電圧を一時的に高くしない場合であっても、性能の同じ高速なトランジスタを実現することが可能となる。すなわち、このような高誘電体のゲート酸化膜をたとえばトランジ

STA NT 1 および PT 1 に用いることにより、結果としてゲートリーク電流を低減することが可能となる。

【0248】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0249】

【発明の効果】

以上説明したように本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路とを含む。また、制御回路は、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルに設定する電圧調整回路を含む。この電圧調整回路により、接続されるトランジスタのゲート電圧を調整することができ、トランジスタに与えられるゲート電圧により生じるゲートリーク電流を低減することができる。

【0250】

また、本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第2のトランジスタと並列に出力ノードと第2の電圧との間に配置された第3のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路を設ける。制御回路は、第2および第3のトランジスタのターンオン時において、第1のトランジスタをターンオフするための第1および第2の電圧の一方を所定期間第2の内部ノードに供給する。また、第2のトランジスタは、第3のトランジスタよりも第2の電圧を供給する駆動力が大きい。この構成にしたがい、所定期間駆動力が大きな第2のトランジスタを用いて第2の電圧を出力ノードに供給する。これに伴い、駆動力が大きな第2のトランジスタを用いてドライバ回路を高速動作させるとともに、所定期間のみリークの大きな第2のトランジスタを動作させるためリーク電流を低減することができる。

【0251】

また、本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第3の内部ノードの電圧レベルに応じて相補的にオンする第3および第4のトランジスタと、第1、第2および第3の内部ノードの電圧を制御する制御回路を設ける。制御回路は、入力信号に応答して第3の内部ノードを第1および第2の電圧の一方に設定し、第3の内部ノードを第1および第2の内部ノードのいずれかと所定期間接続する接続回路を有する。また、第1および第2のトランジスタの駆動力は、第3および第4のトランジスタの駆動力よりも大きい。この構成にしたがい、所定期間駆動力が大きな第1および第2のトランジスタを用いて第1および第2の電圧をそれぞれ出力ノードに供給する。これに伴い、駆動力が大きな第1および第2のトランジスタを用いてドライバ回路を高速動作させるとともに、所定期間のみリークの大きな第1および第2のトランジスタを動作させるためリーク電流を低減することができる。

【0252】

また、本発明の半導体装置は、制御回路において、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに供給する。これに伴い、スタンバイ時において、第1の内部ノードにトランジスタがターンオンする電圧が与えられ、ノイズが生じた場合においてもそのノイズを解消することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【図2】 本発明の実施の形態1に従うドライバ回路の動作について説明するタイミングチャート図である。

【図3】 トランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【図4】 本発明の実施の形態2に従うドライバ回路の構成図である。

【図5】 本発明の実施の形態2に従うドライバ回路の動作について説明するタイミングチャート図である。

【図6】 本発明の実施の形態2の変形例1に従うCMOSドライバ回路の回路構成図である。

【図7】 本発明の実施の形態2の変形例2に従うCMOSドライバ回路の回路構成図である。

【図8】 本発明の実施の形態3に従うCMOSドライバ回路の回路構成図である。

【図9】 本発明の実施の形態3の変形例1に従うCMOSドライバ回路の回路構成図である。

【図10】 本発明の実施の形態4に従うCMOSドライバ回路の回路構成図である。

【図11】 本発明の実施の形態4に従うドライバ回路の動作について説明するタイミングチャート図である。

【図12】 本発明の実施の形態5に従うドライバ回路の回路構成図である。

【図13】 本発明の実施の形態5に従うドライバ回路の動作について説明するタイミングチャート図である。

【図14】 本発明の実施の形態5の変形例に従うドライバ回路の回路構成図である。

【図15】 本発明の実施の形態5の変形例に従うドライバ回路の動作について説明するタイミングチャート図である。

【図16】 本発明の実施の形態6に従うドライバ回路の構成図である。

【図17】 本発明の実施の形態6に従うドライバ回路の動作について説明するタイミングチャート図である。

【図18】 本発明の実施の形態6の変形例1に従うドライバ回路の回路構成図である。

【図19】 本発明の実施の形態6の変形例2に従うドライバ回路の回路構成図である。

【図20】 本発明の実施の形態6の変形例2に従うドライバ回路の動作について説明するタイミングチャート図である。

【図21】 本発明の実施の形態6の変形例3に従う2入力のOR回路構成であるドライバ回路の回路構成図である。

【図22】 本発明の実施の形態6の変形例3に従うドライバ回路の動作について説明するタイミングチャート図である。

【図23】 本発明の実施の形態7に従うCMOSドライバ回路の回路構成図である。

【図24】 本発明の実施の形態7に従うドライバ回路の動作について説明するタイミングチャート図である。

【図25】 本実施の形態8のドライバ回路の概略構成図である。

【図26】 本発明の実施の形態8のドライバ回路の動作について説明するタイミングチャート図である。

【図27】 本実施の形態8の変形例1に従うドライバ回路の概略構成図である。

【図28】 隣接して配置されるドライバ回路の概略構成図である。

【図29】 ドライバ回路が動作する場合のタイミングチャート図である。

【図30】 別の隣接して配置されるドライバ回路の概略構成図である。

【図31】 入力信号を伝播する従来のCMOSドライバ回路の回路構成図である。

【図32】 従来のCMOSドライバ回路の動作について説明するタイミングチャート図である。

【図33】 ゲート酸化膜の厚膜とトランジスタ1個当りのゲートリーク電流との関係を示す図である。

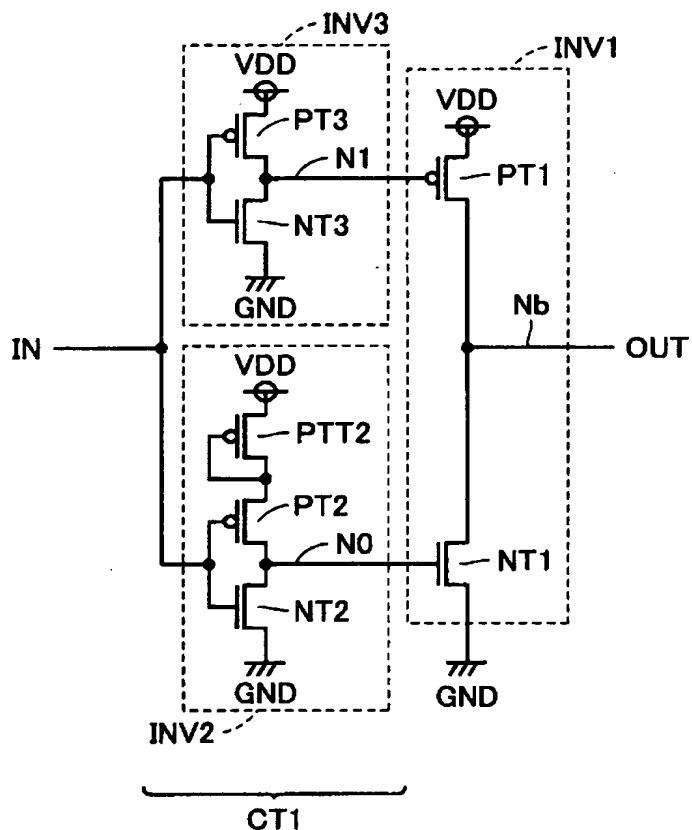
【符号の説明】

10, 20, 30, 40, 50, 60, 70, 80 タイミング回路、CT1, CT2, CT2a, CT2b, CT3, CT3#, CT4, CT5, CT5#, CT6, CT6#, CT6a, CT6b, CT6a#, CT6b#, 90 制御回路、100, 200, 210, 220, 300, 310, 400, 500,

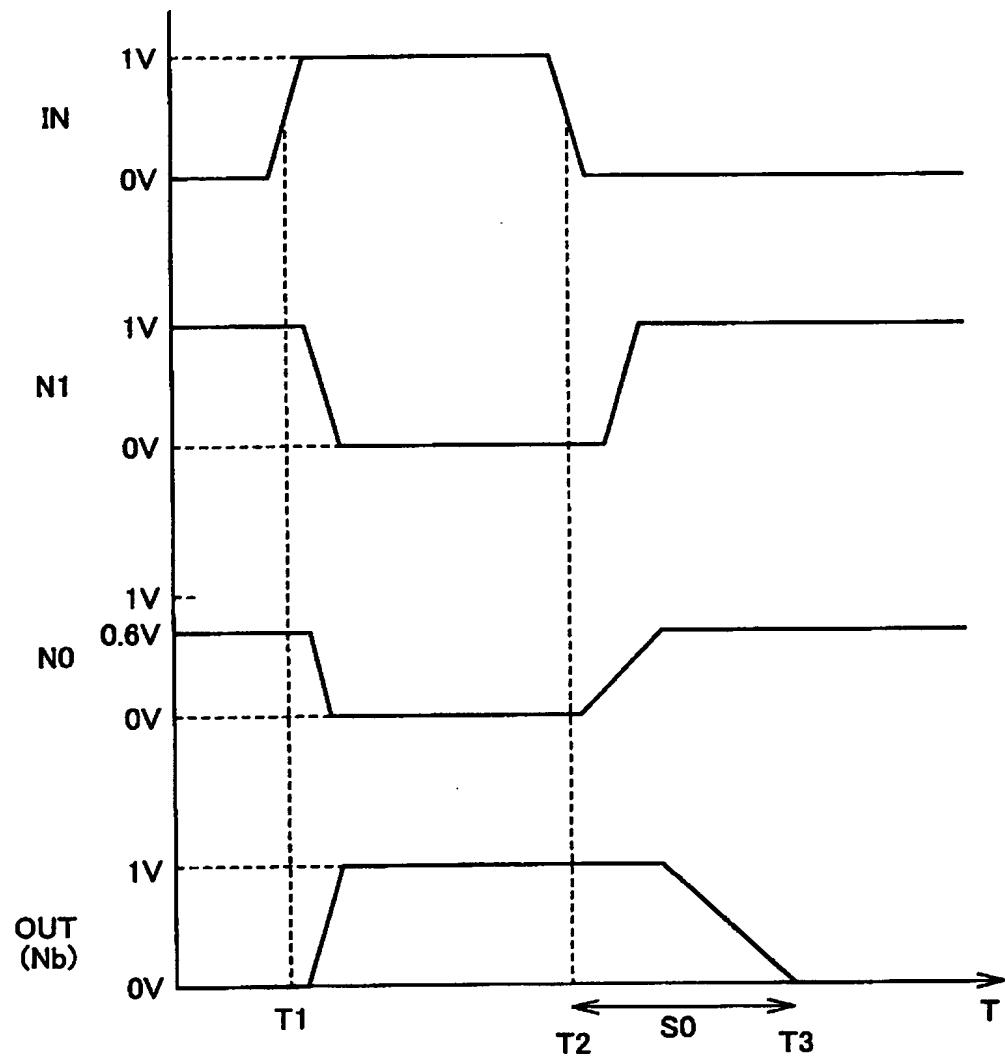
510, 600, 600a, 600b, 610, 620, 630, 700, DV
1, DV2, DV1#, DV2# ドライバ回路、INV1, INV2, INV
3, INV#3, INV4 インバータ。

【書類名】図面

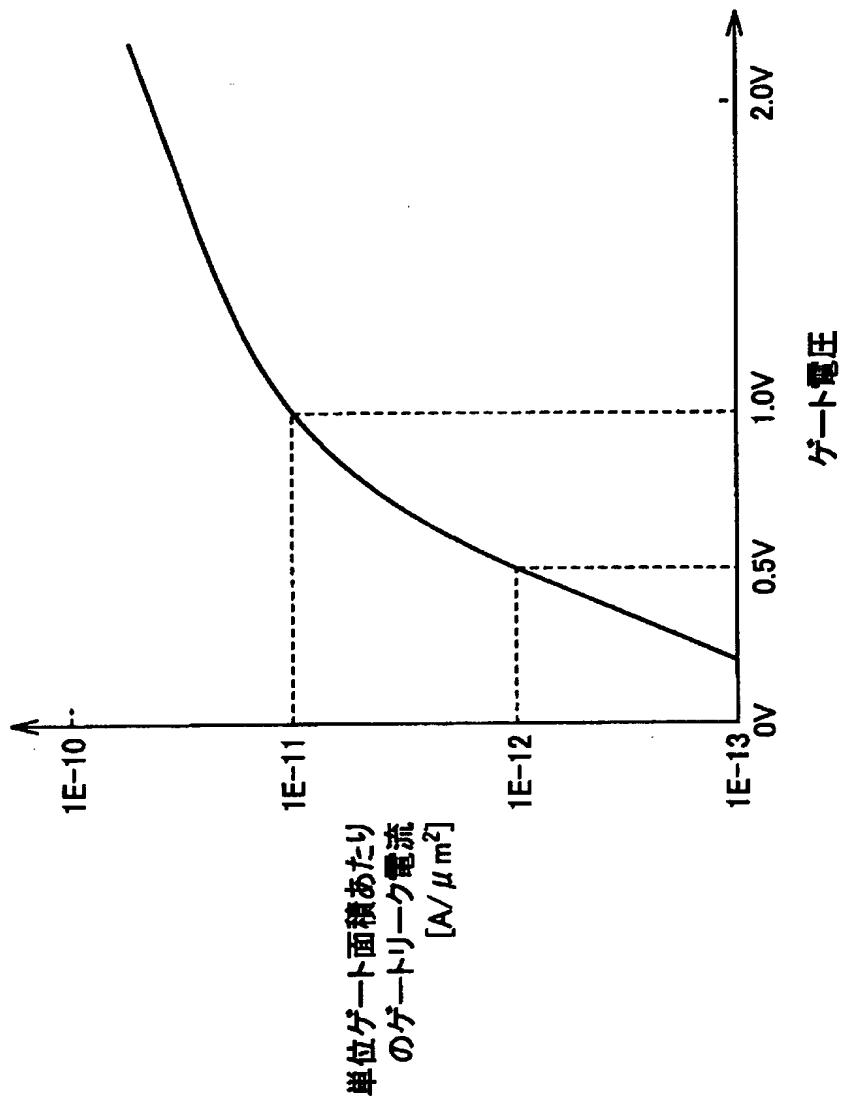
【図1】

100

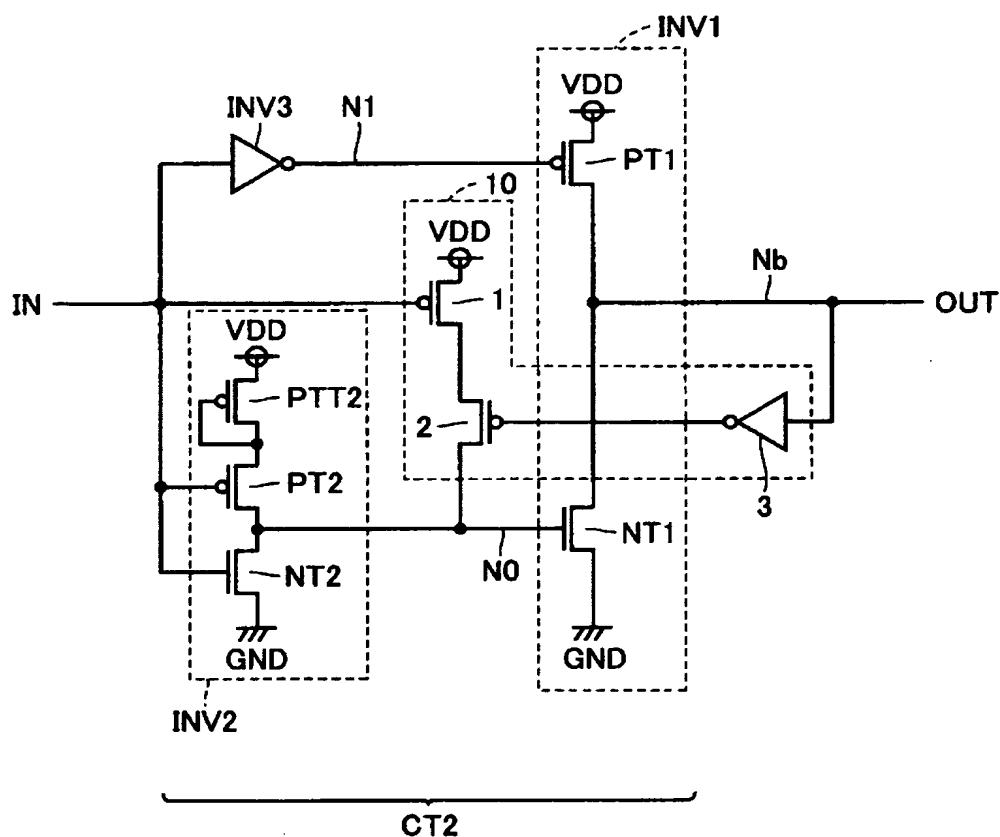
【図2】



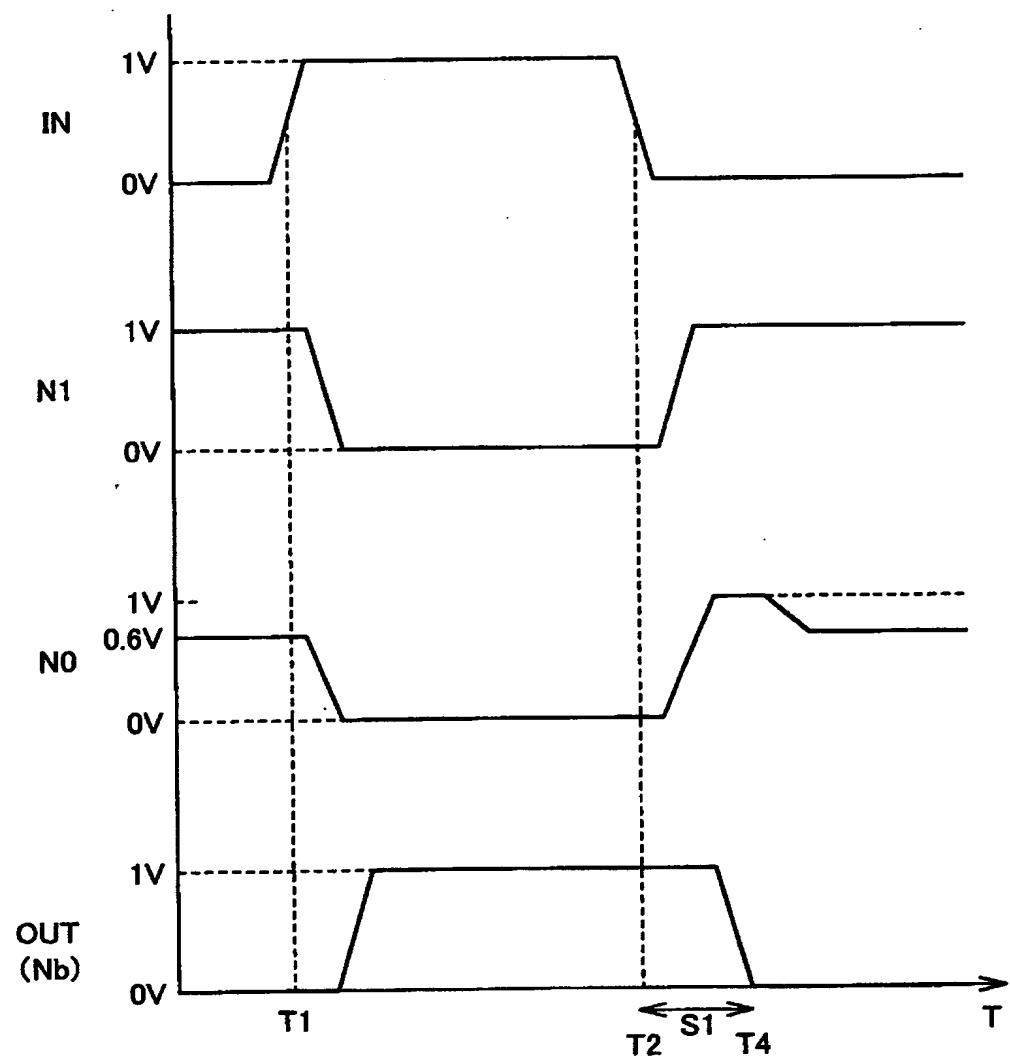
【図3】



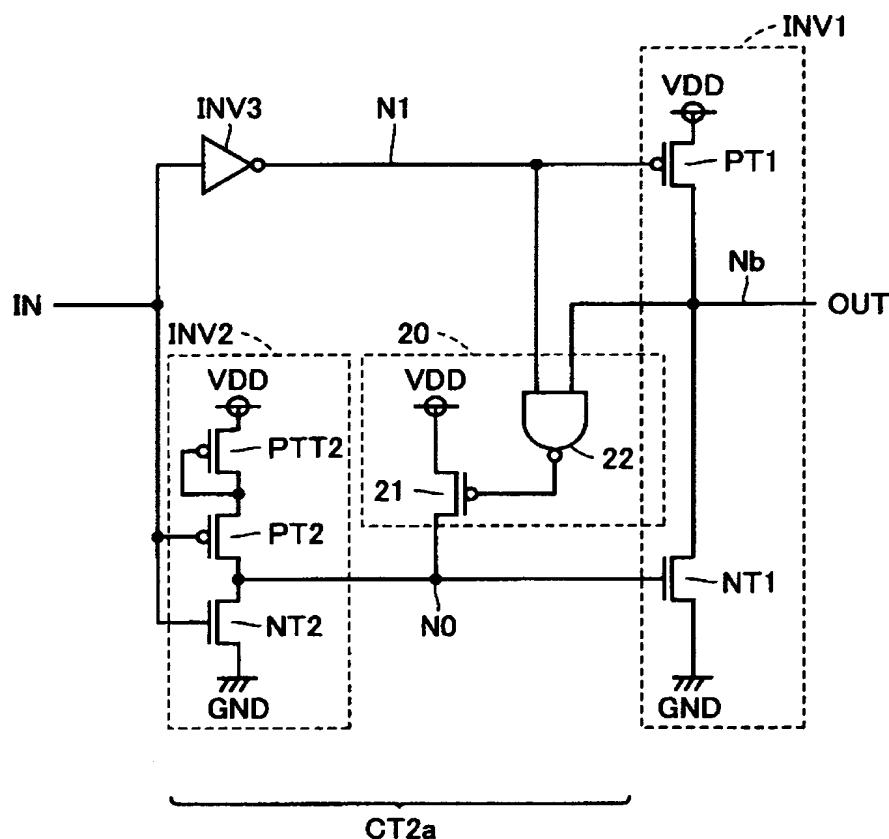
【図4】

200

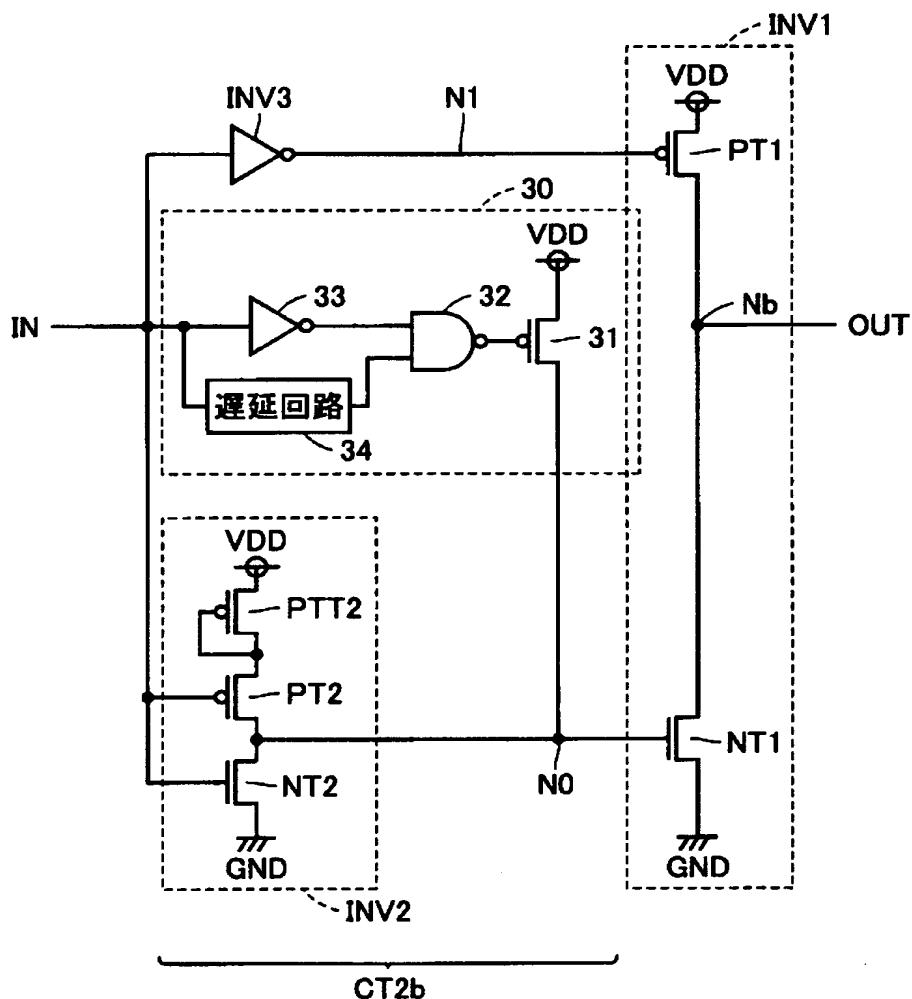
【図5】



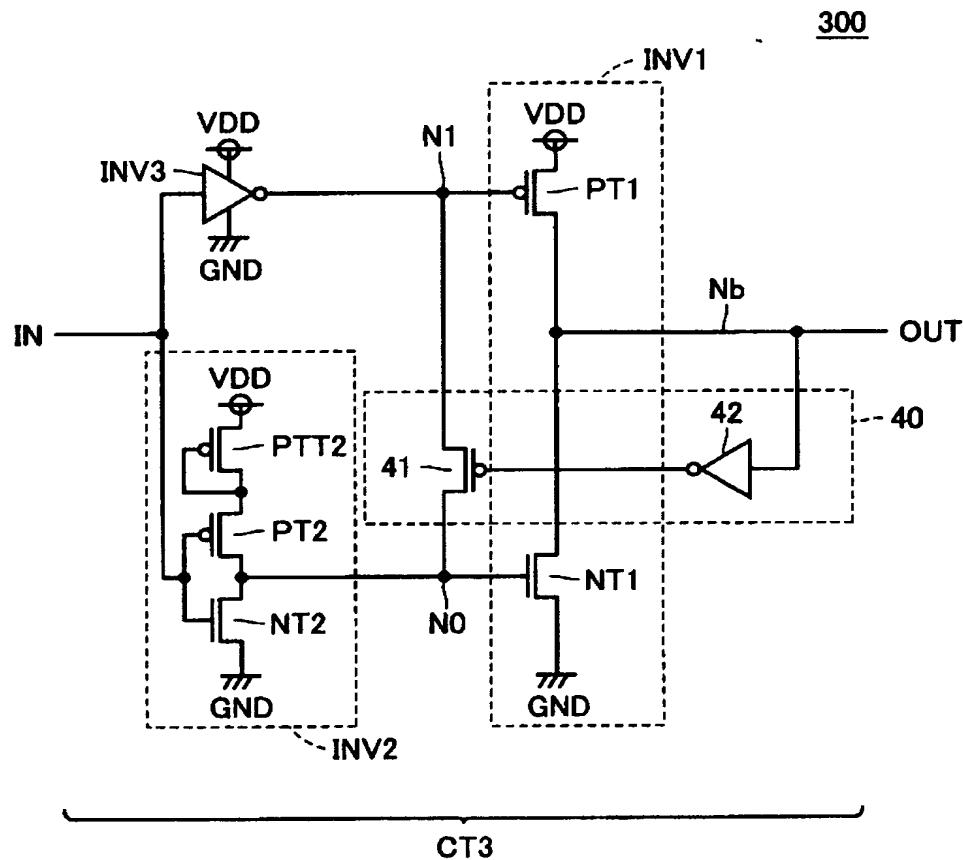
【図6】

210

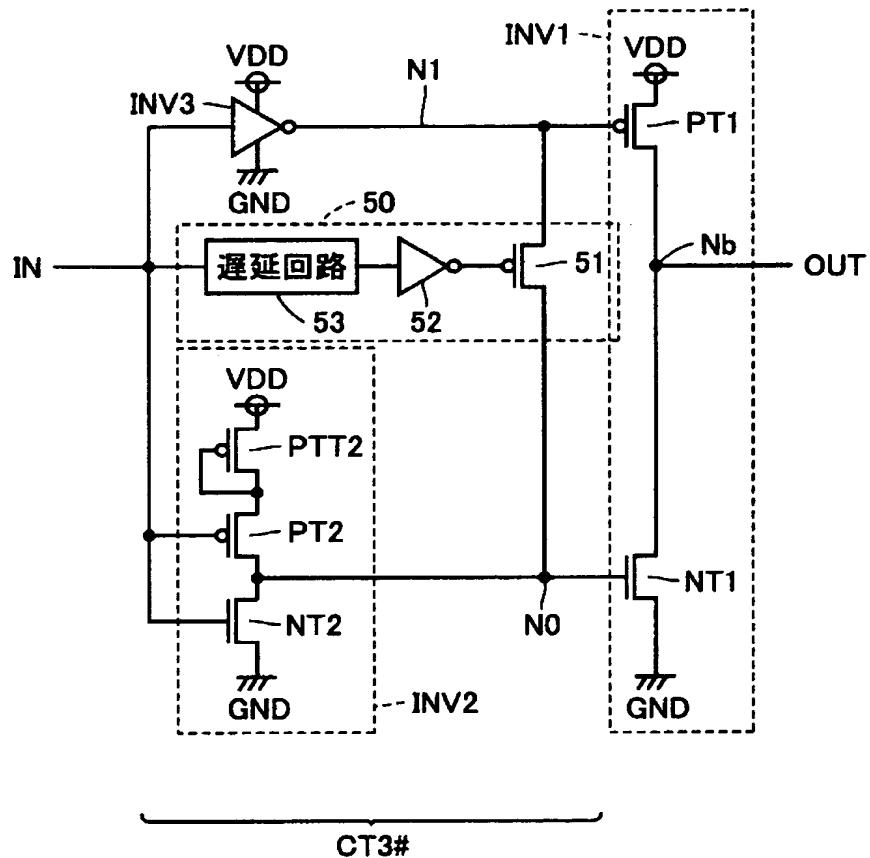
【図7】

220

【図8】

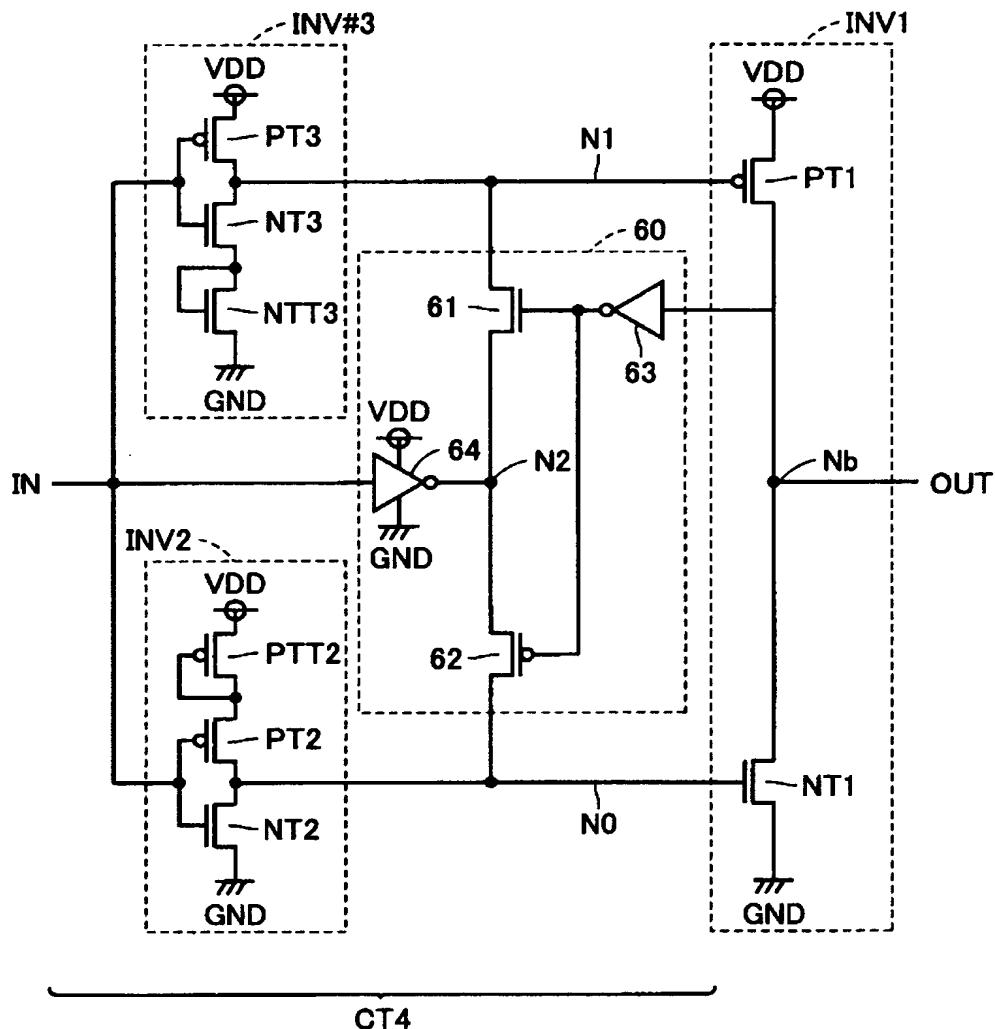


【図9】

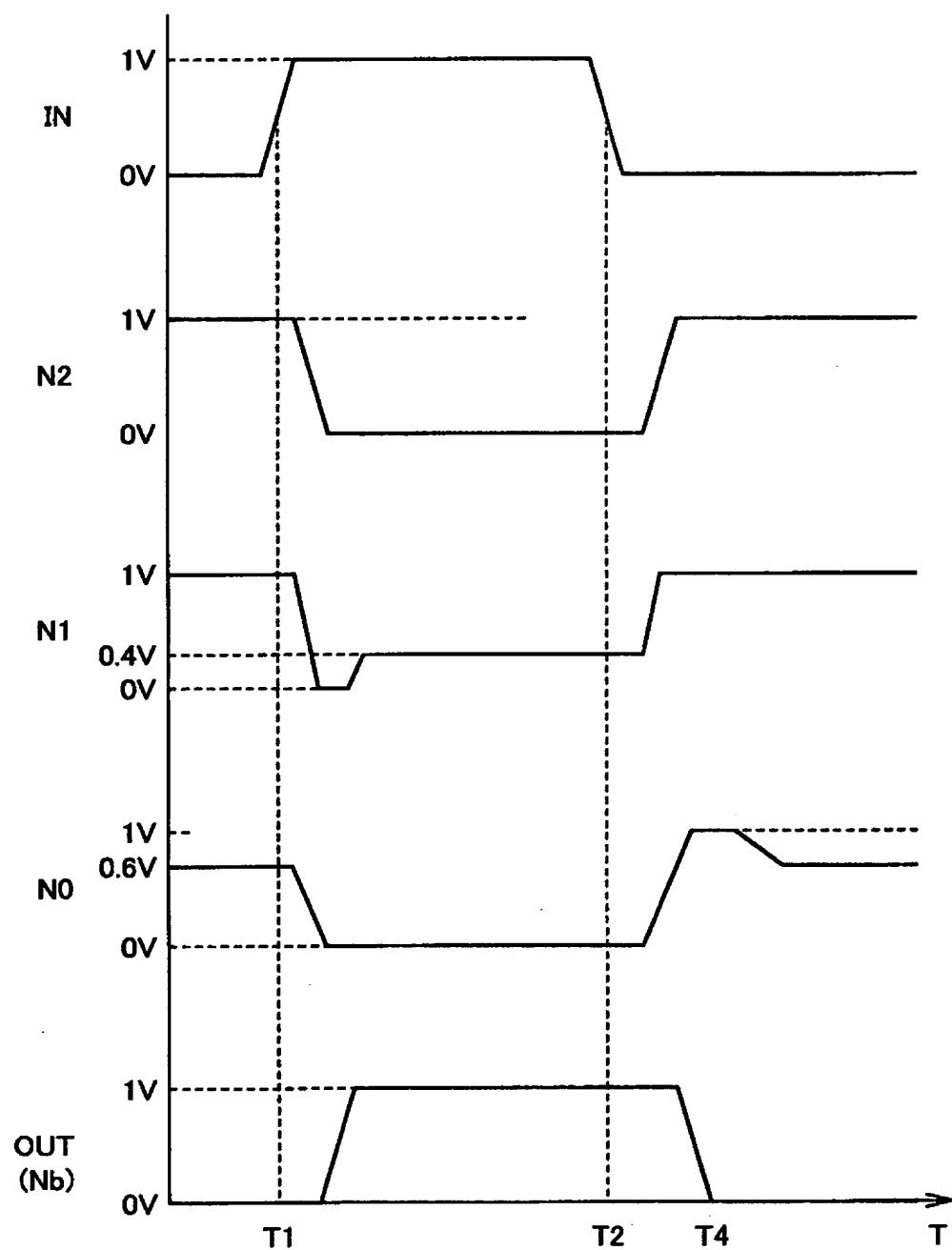
310

【図10】

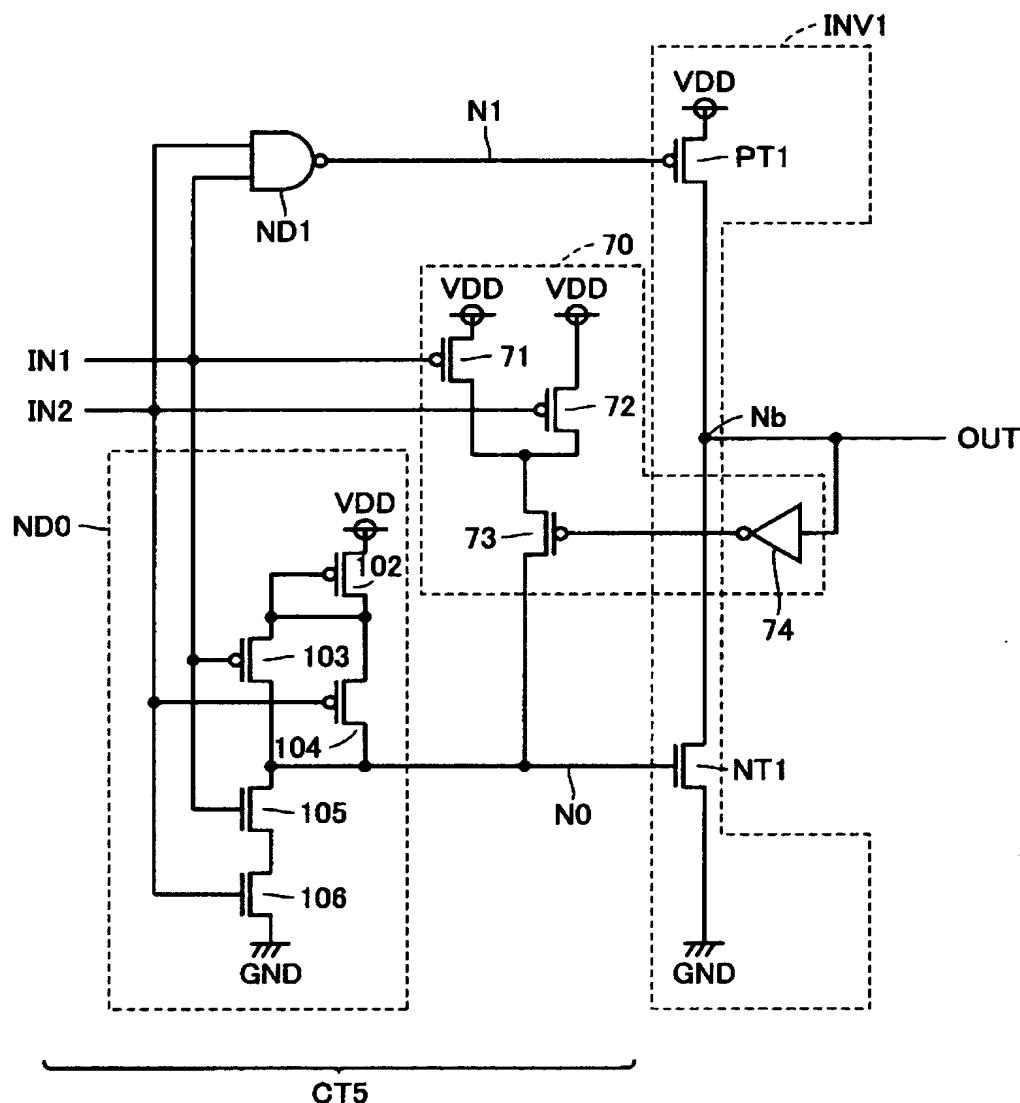
400



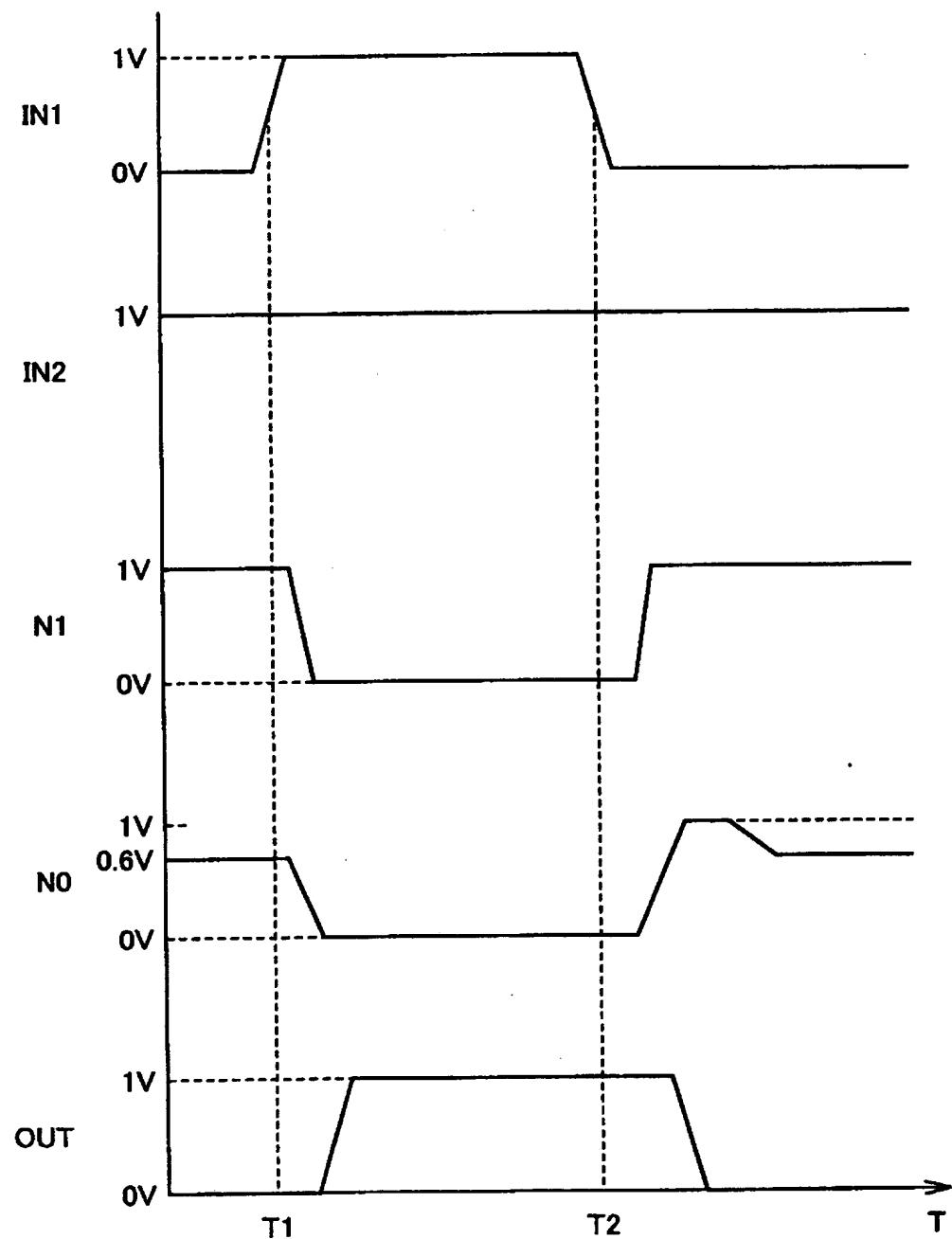
【図11】



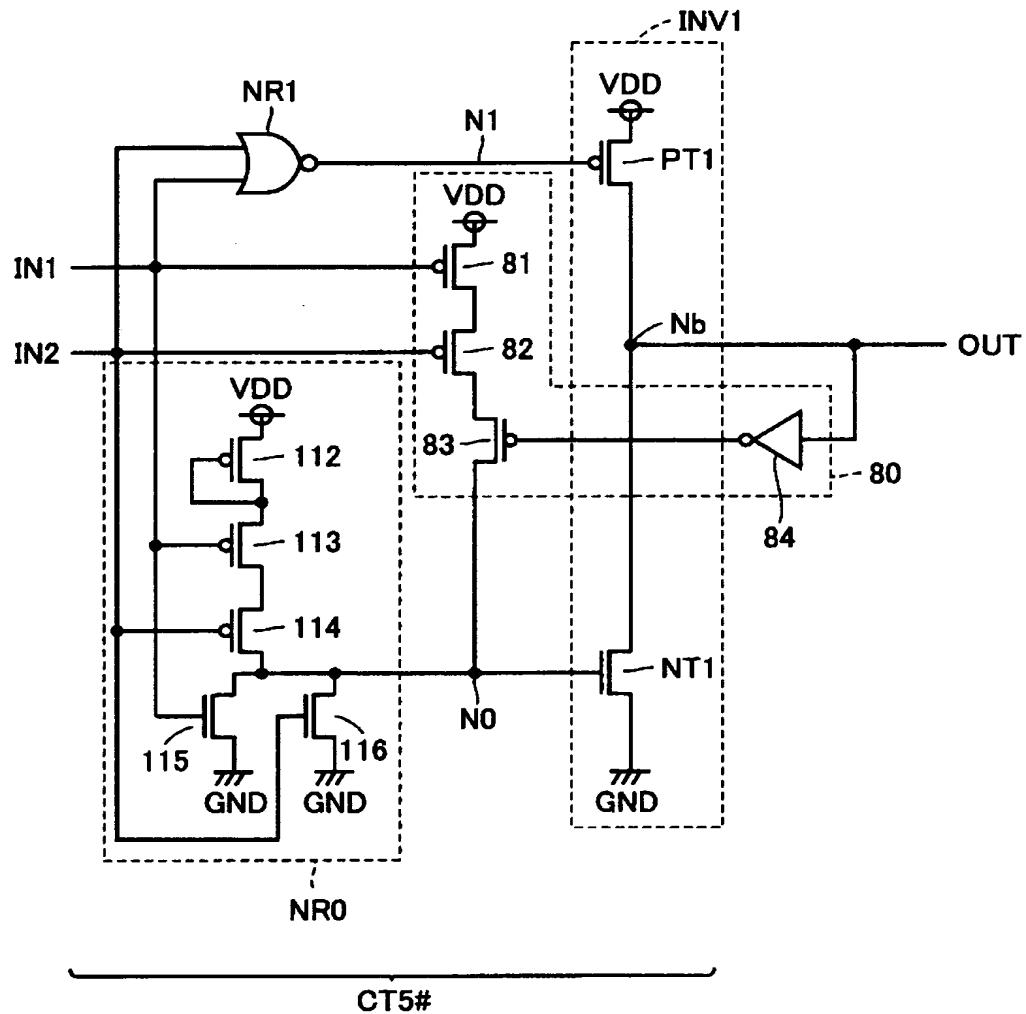
【図12】

500

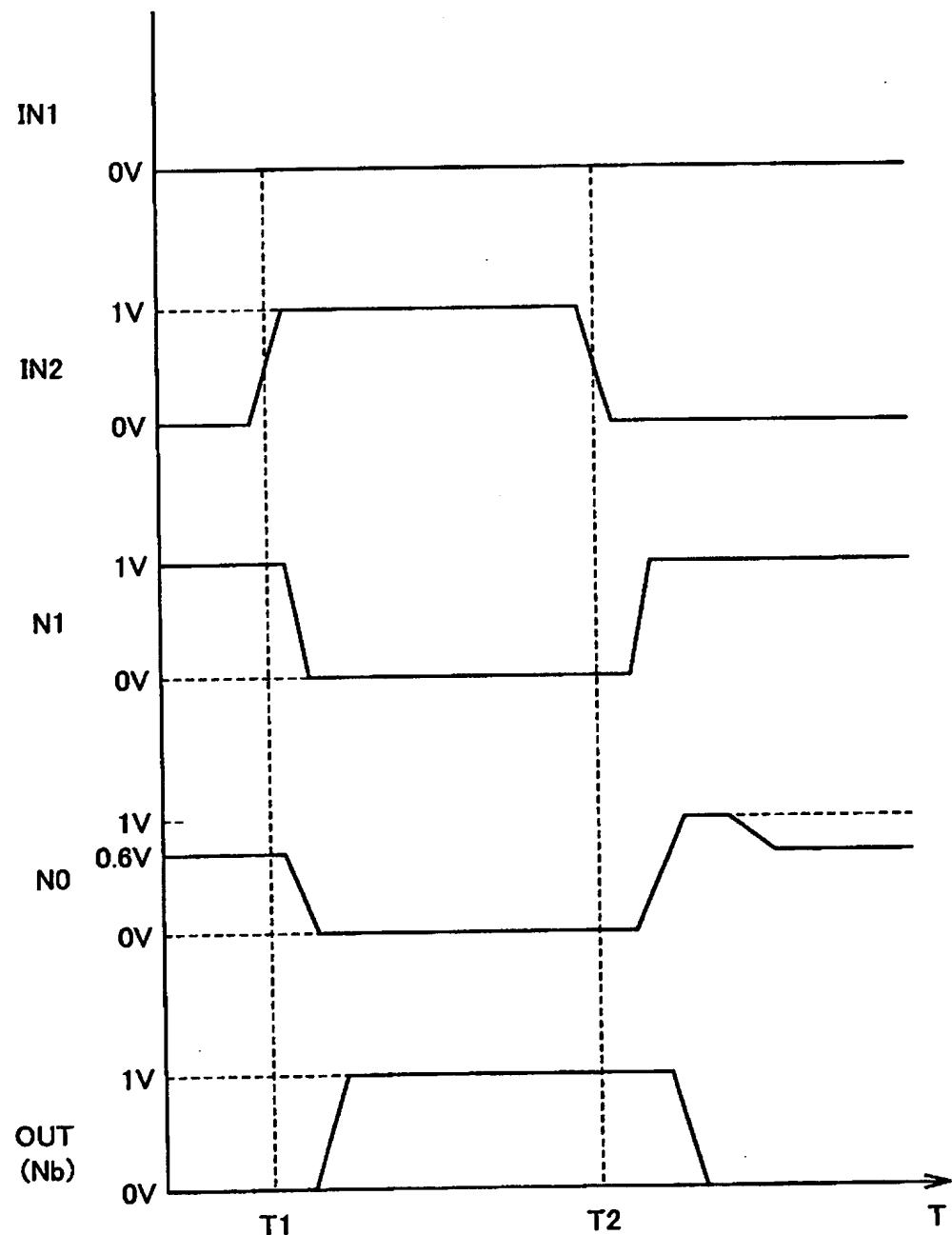
【図13】



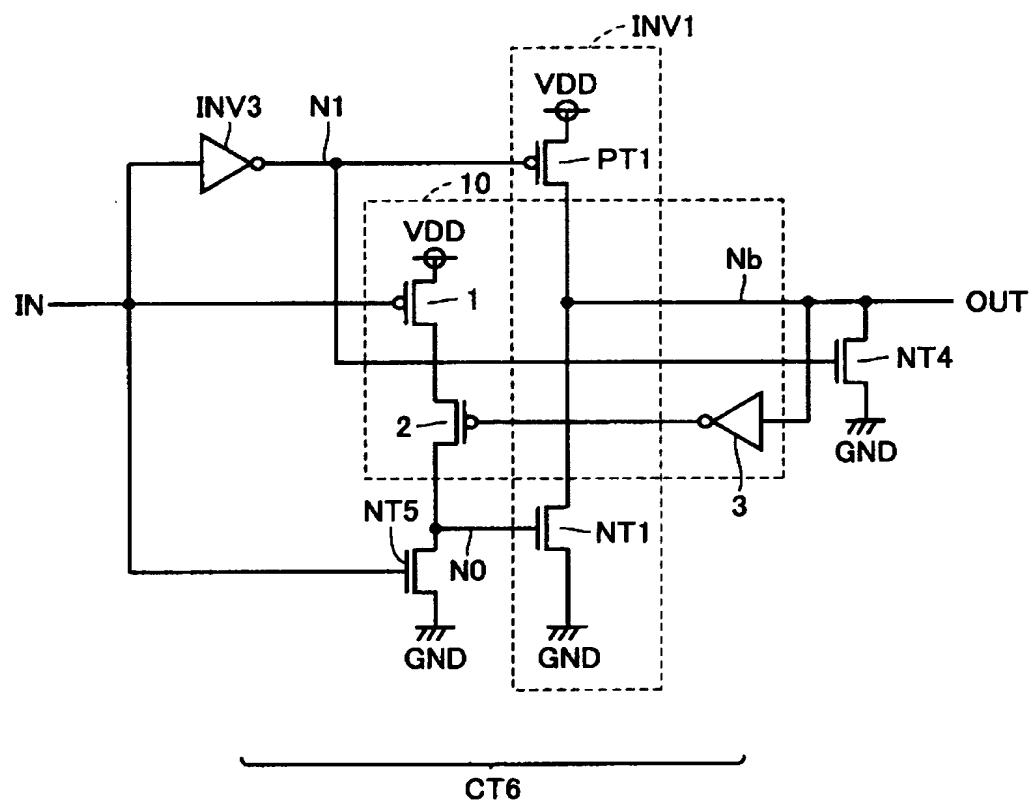
【図14】

510

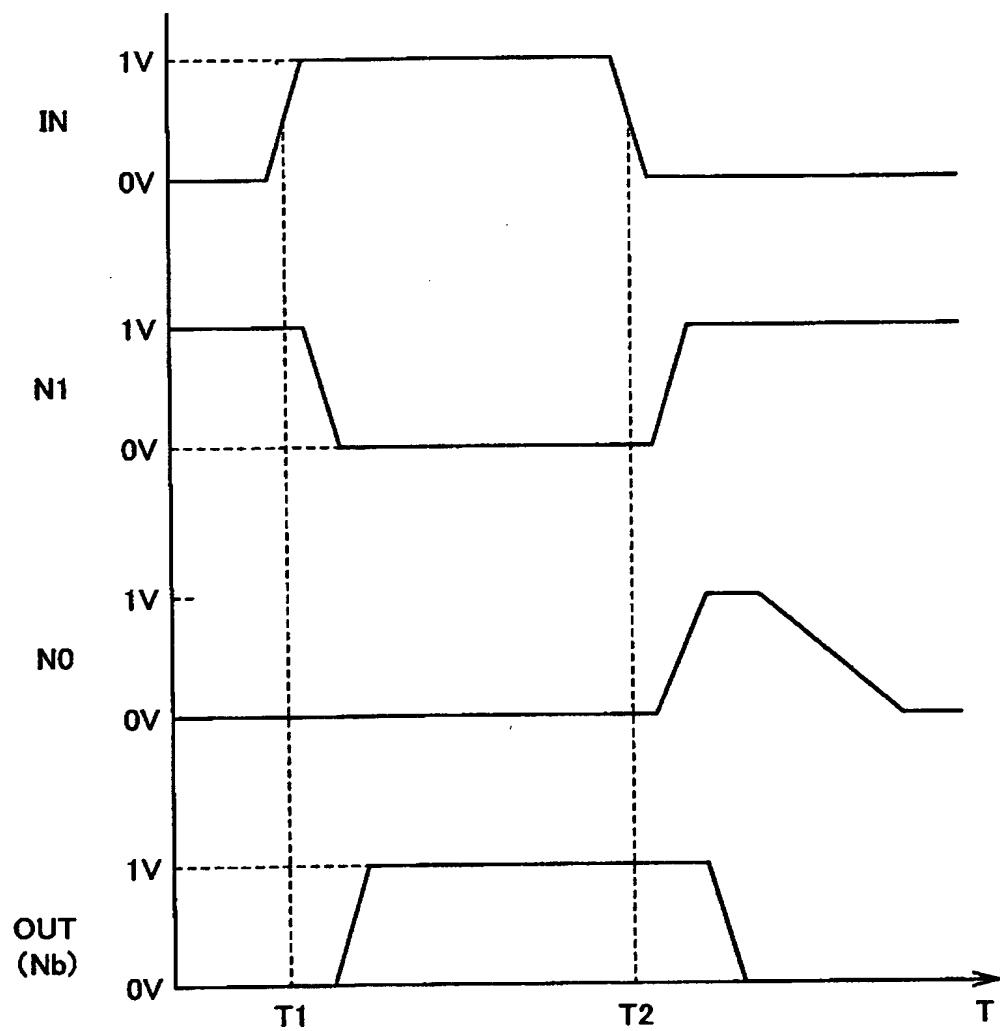
【図15】



【図16】

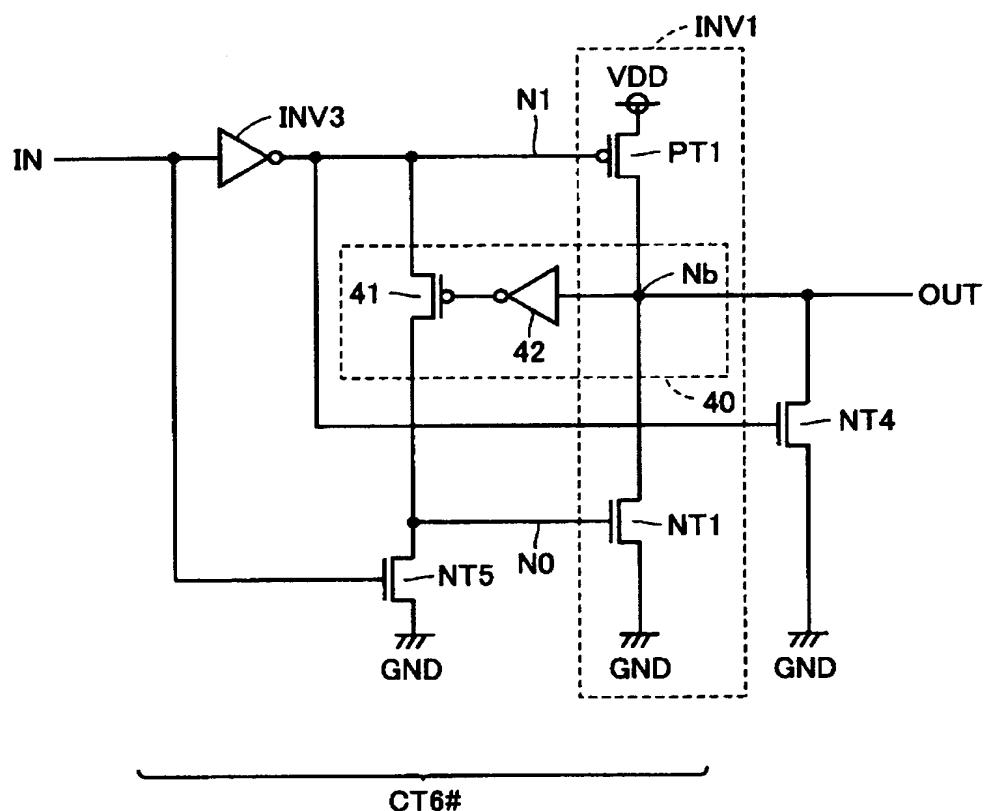
600

【図17】

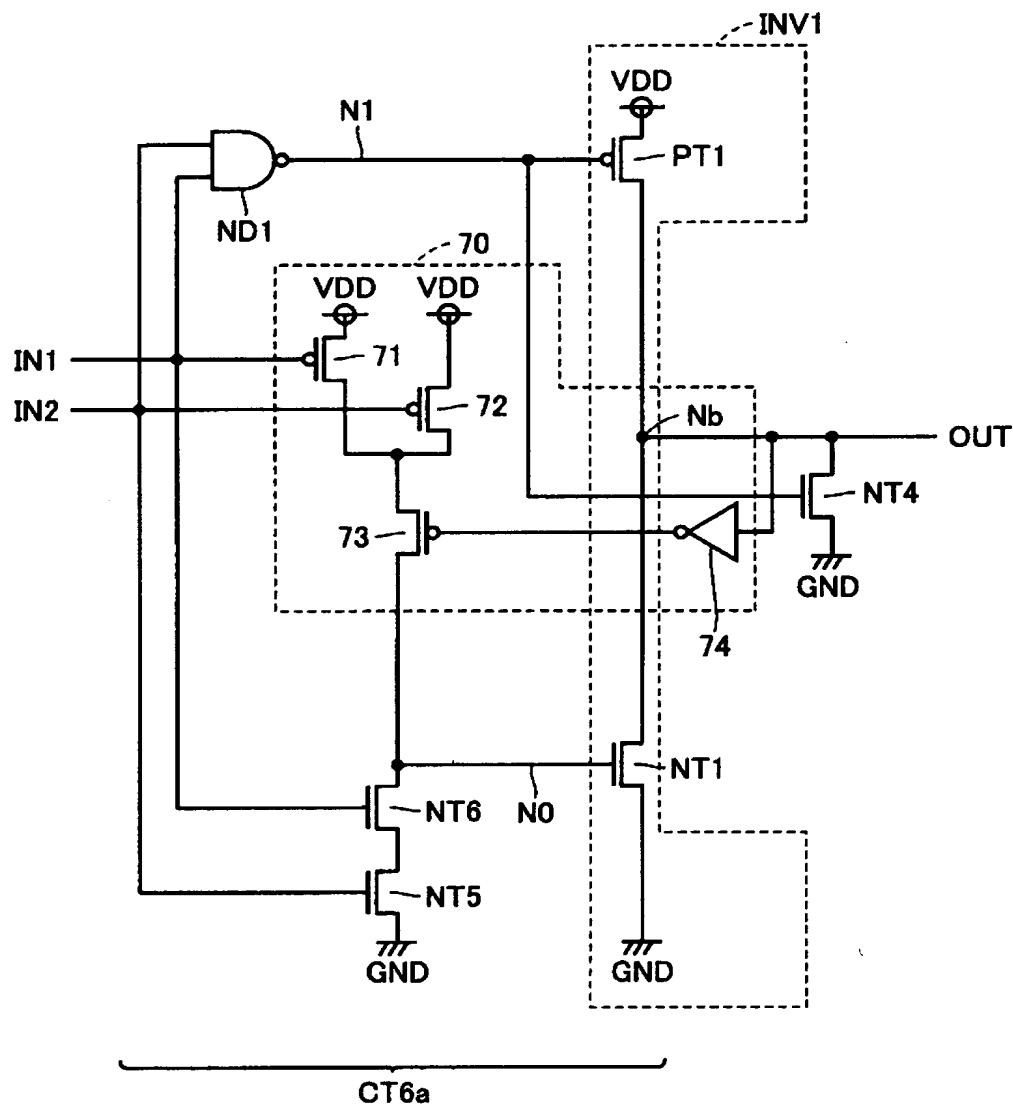


【図18】

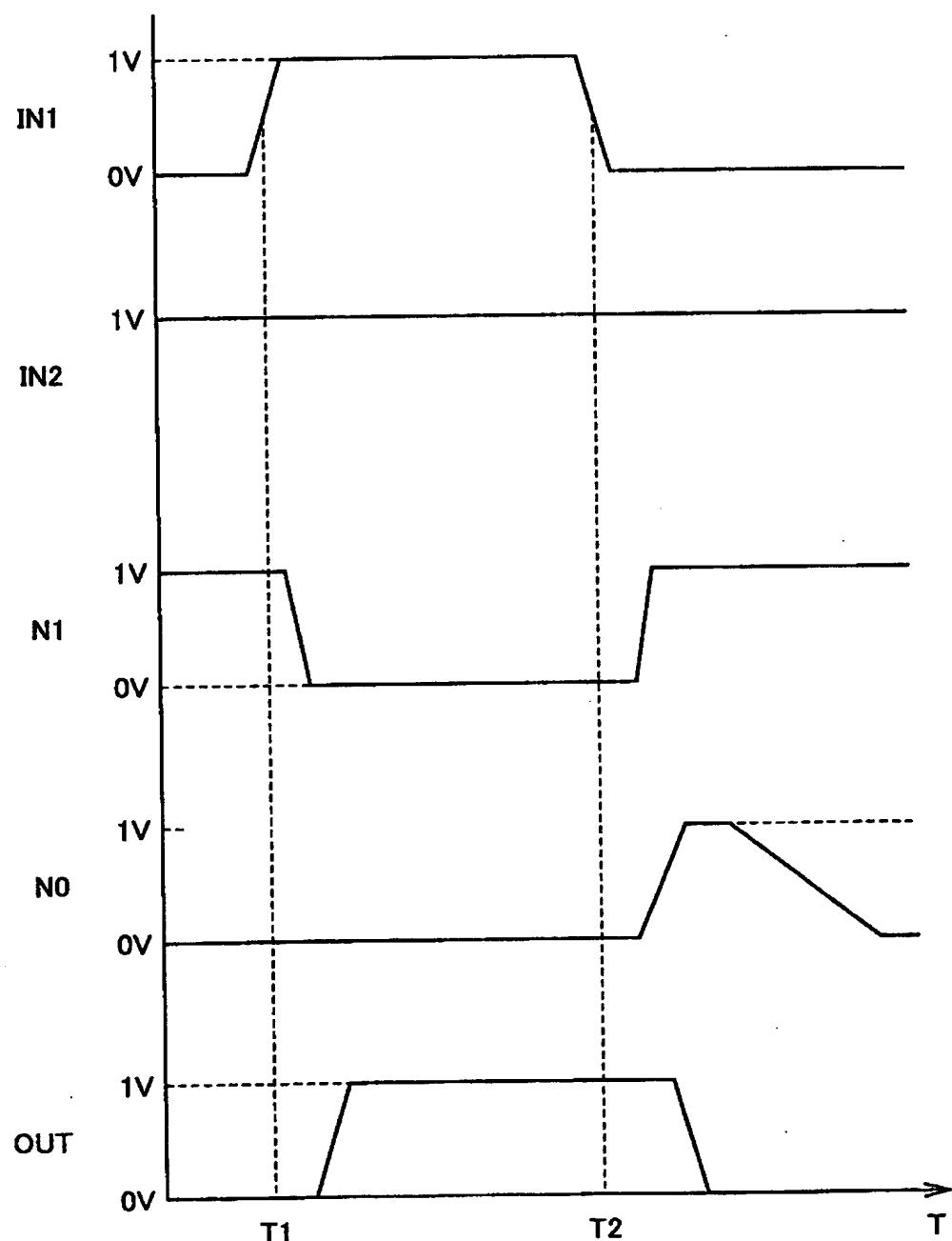
610



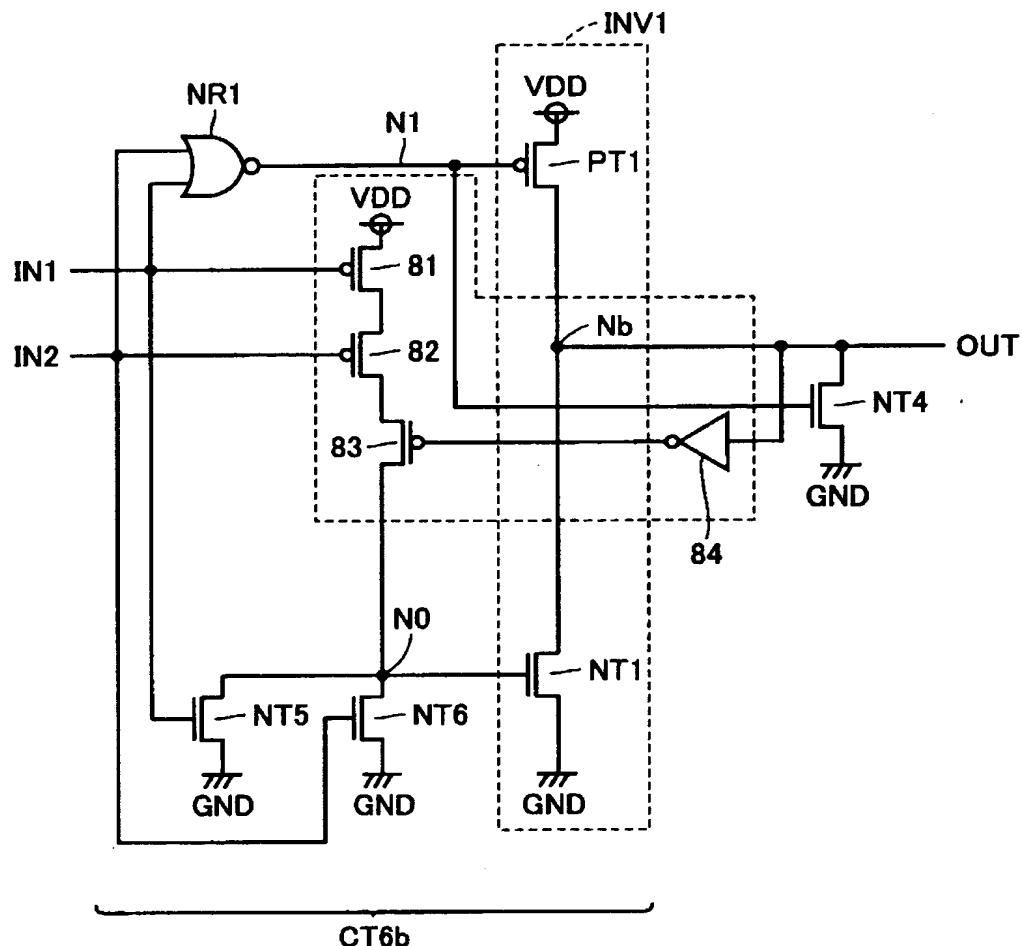
【図19】

620

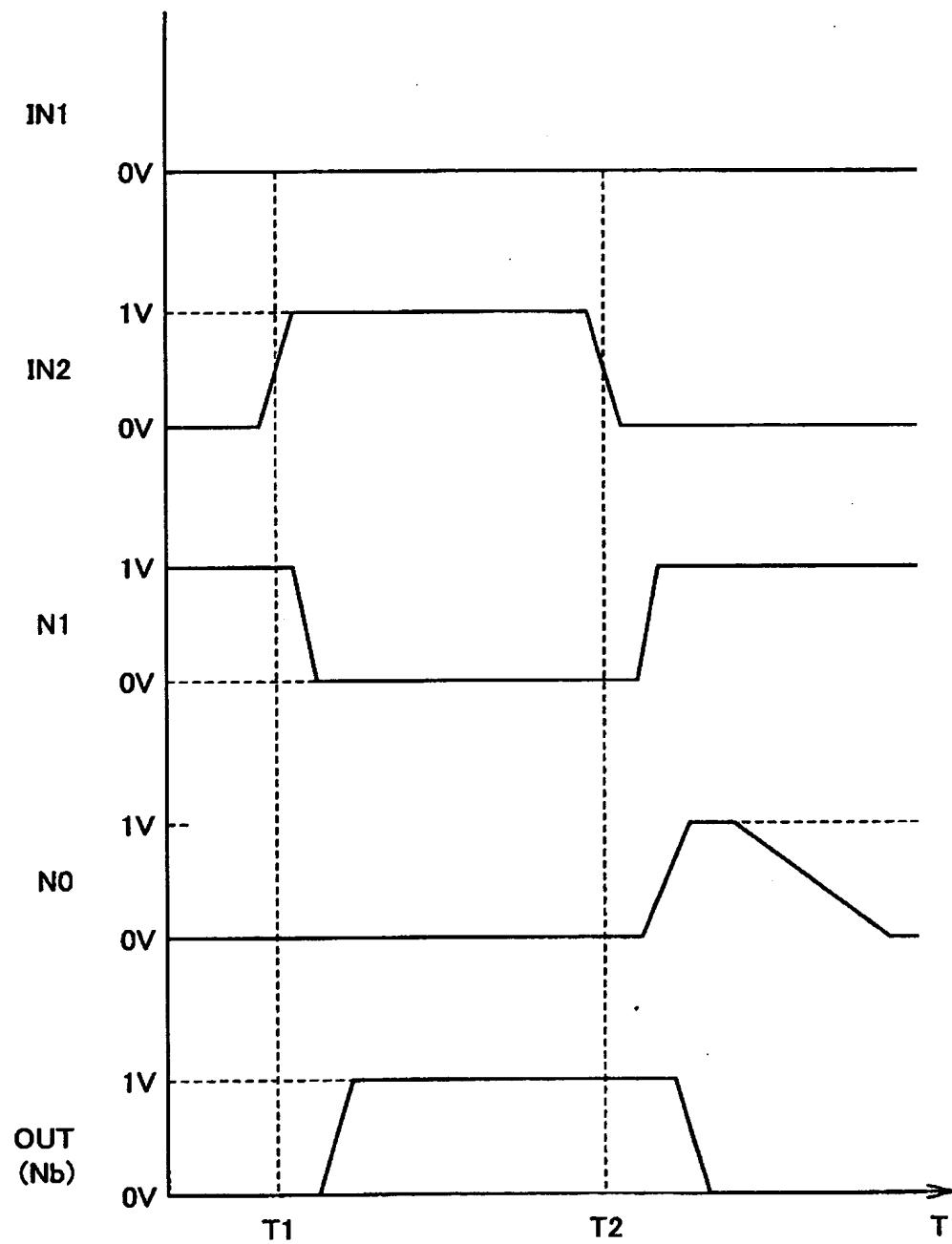
【図20】



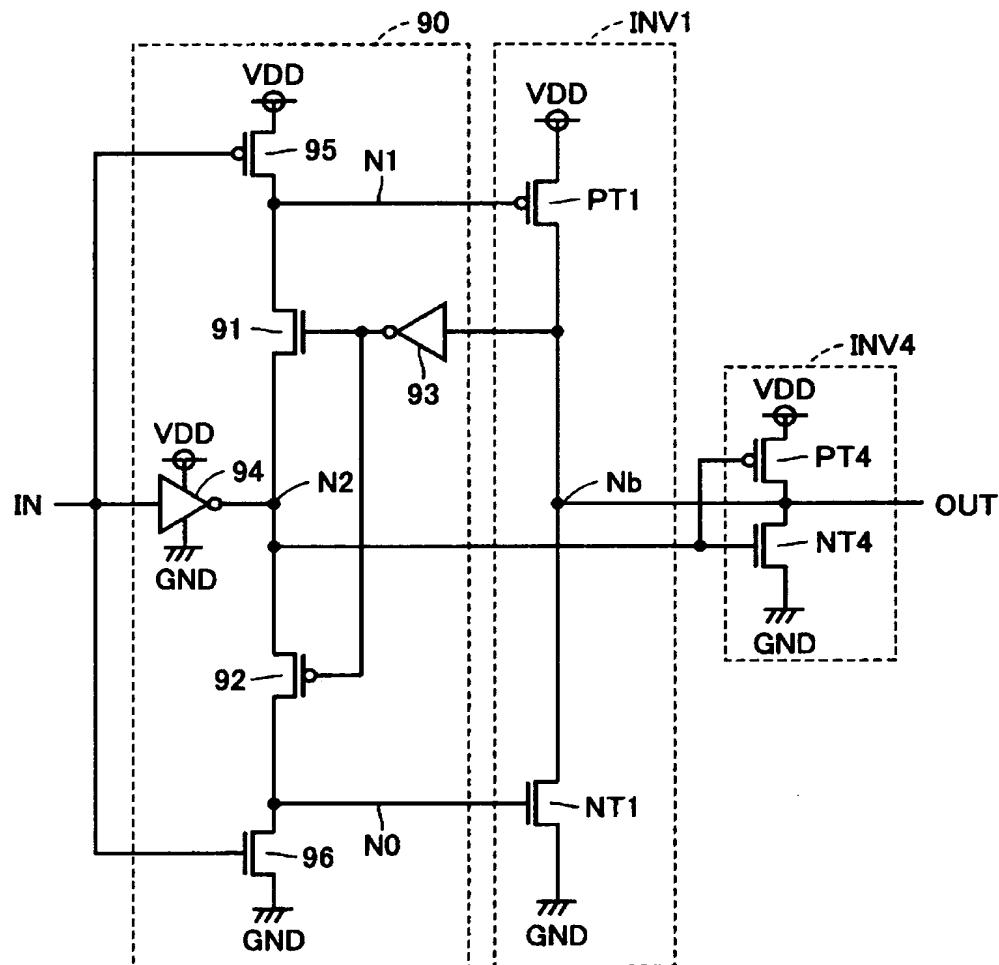
【図21】

630

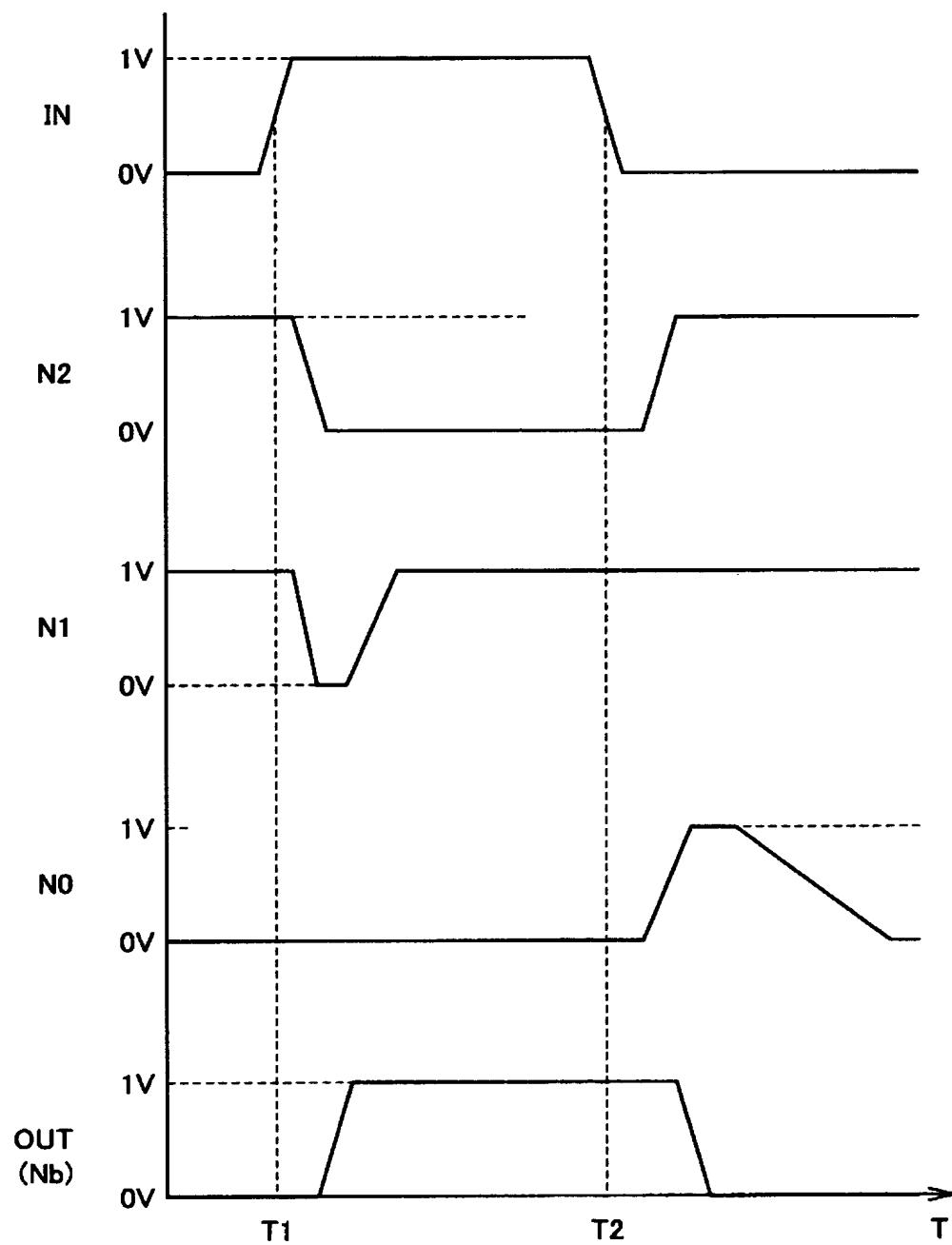
【図22】



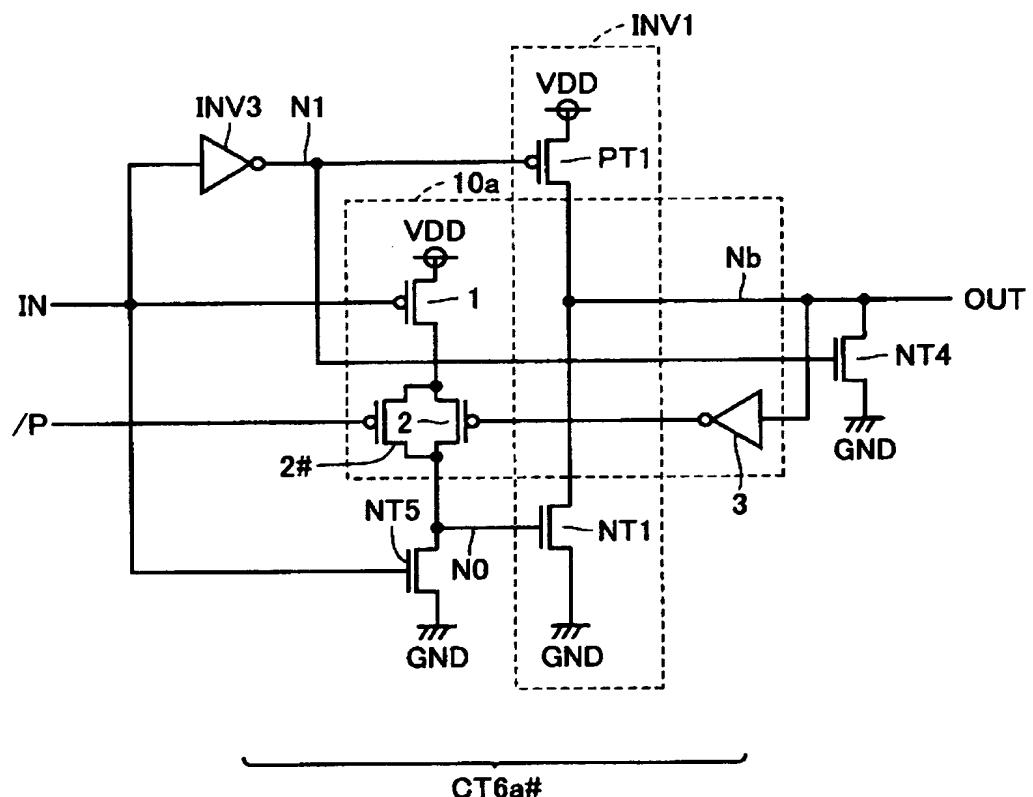
【図23】

700

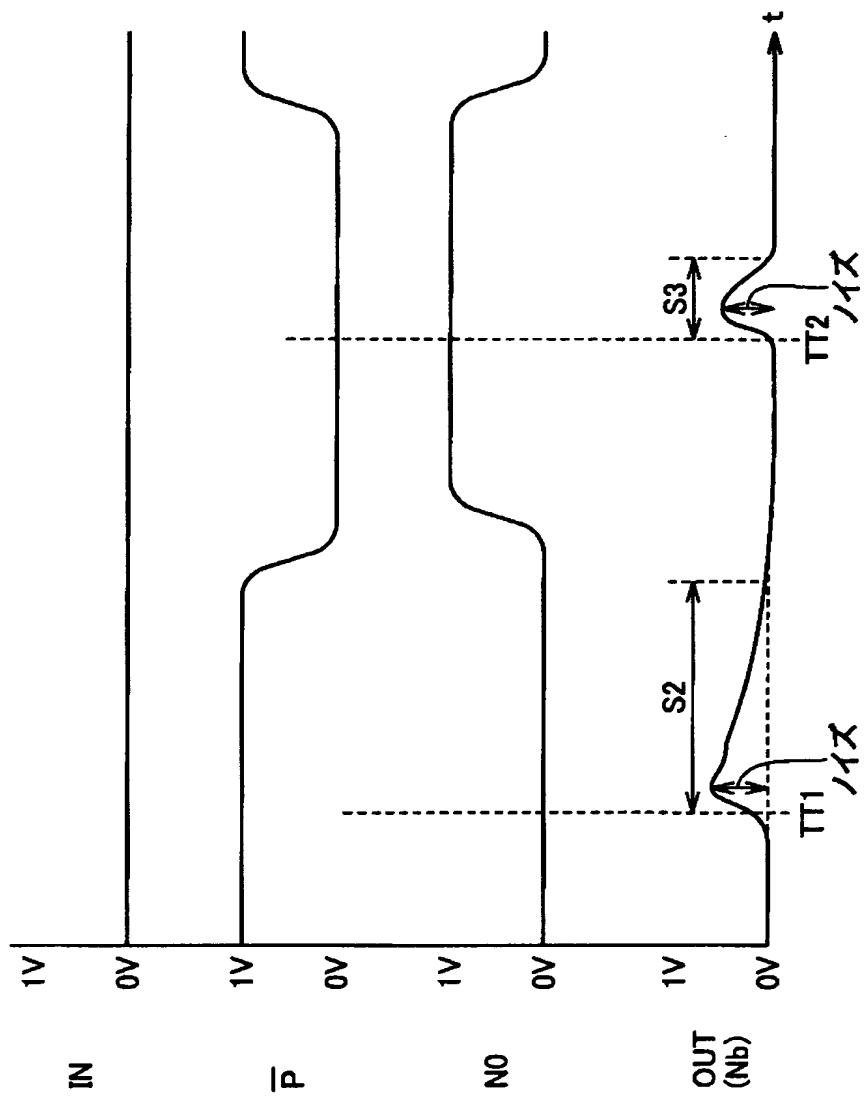
【図24】



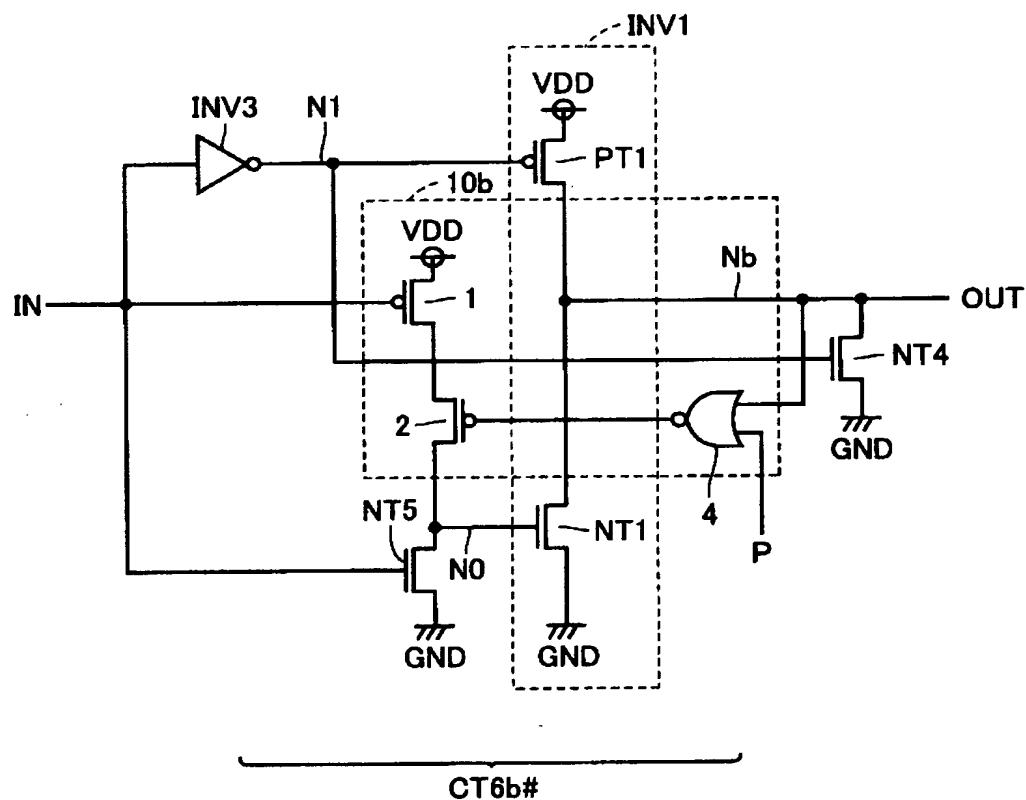
【図25】

600a

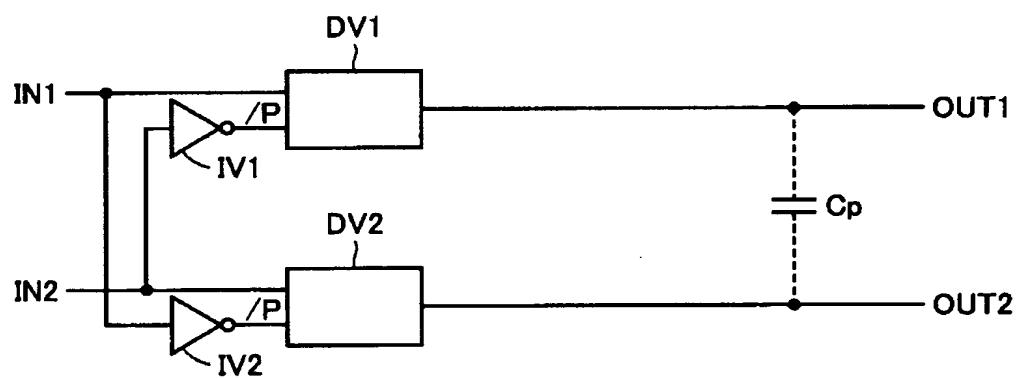
【図26】



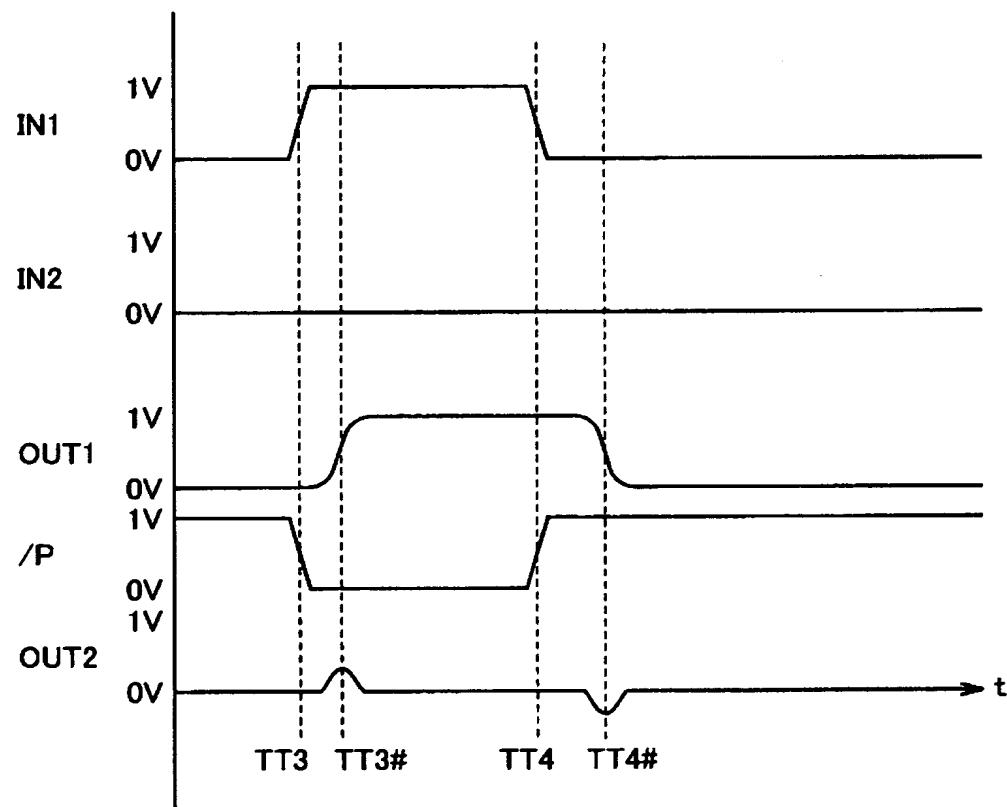
【図27】

600b

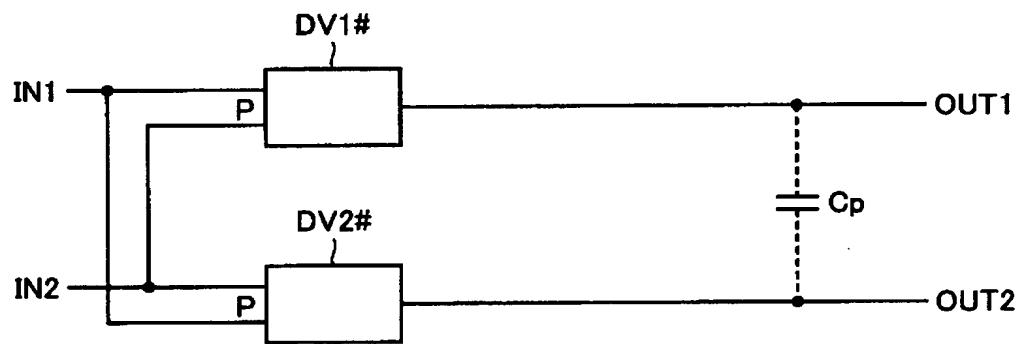
【図28】



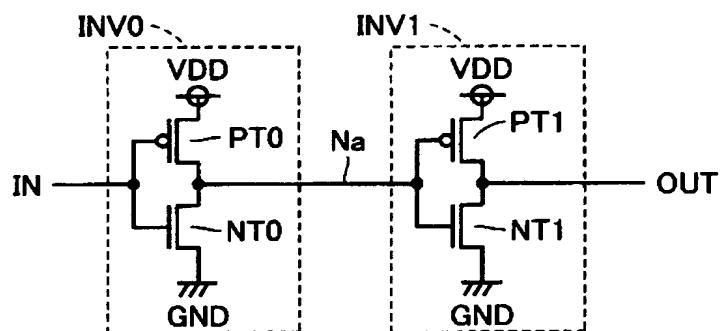
【図29】



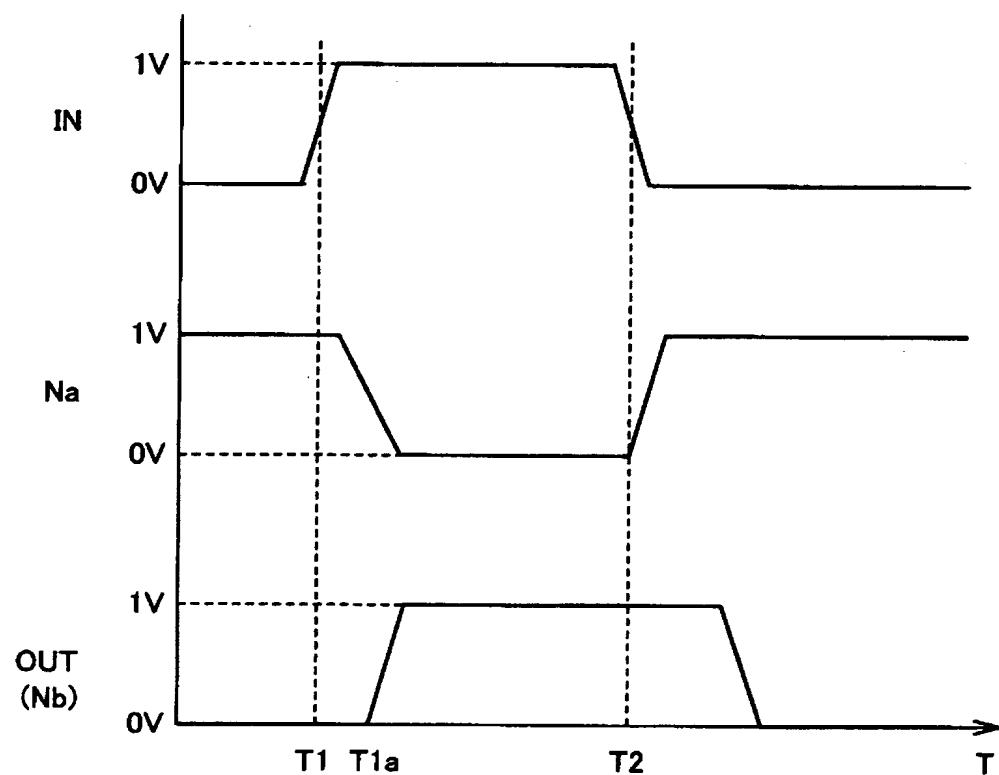
【図30】



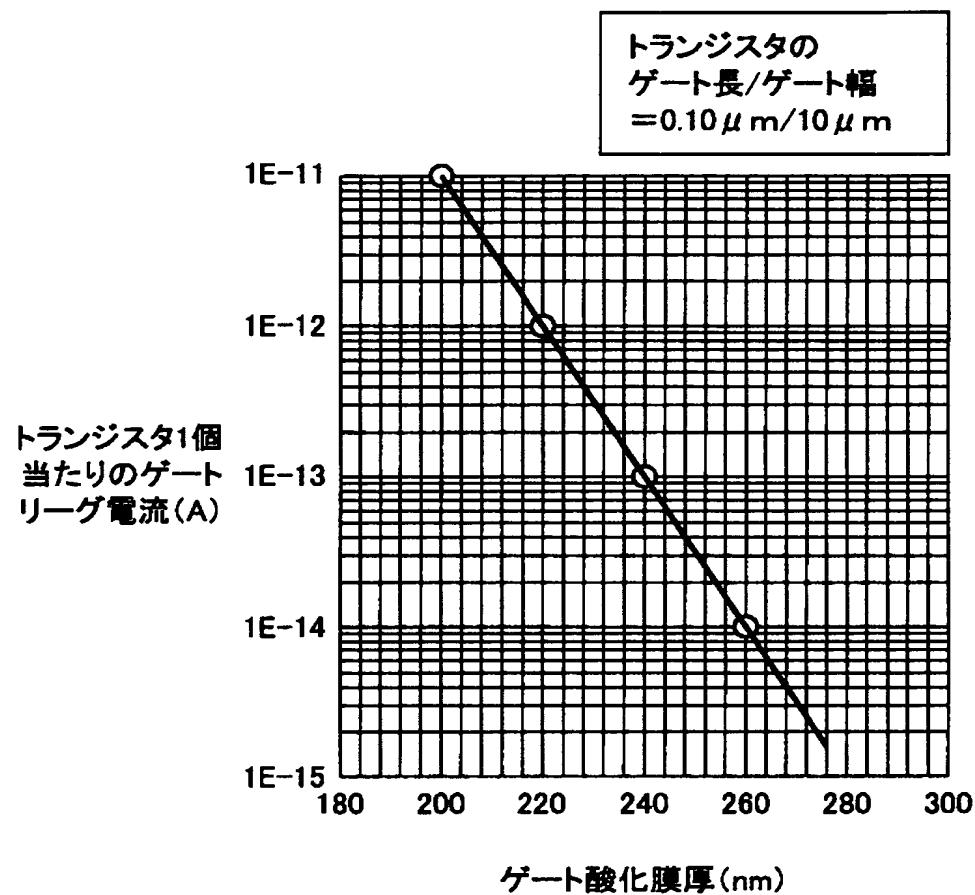
【図31】



【図32】



【図33】



【書類名】 要約書

【要約】

【課題】 ゲート酸化膜厚の薄いトランジスタを有するドライバ回路のゲートトリーク電流を抑制して消費電力を低減する半導体装置を提供する。

【解決手段】 インバータINV2およびINV3を用いて入力信号INに応じてノードN0およびN1の電圧を制御する。また、インバータINV2に含まれるトランジスタPTT2を用いてトランジスタNT1の電圧レベルを調整する。

トランジスタNT1のゲートに供給するゲート電圧を電源電圧VDDよりも低くオン電圧よりも高い値に設定することにより、トランジスタNT1のゲートトリーク電流を大幅に低減することができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-088261
受付番号	50300506491
書類名	特許願
担当官	第八担当上席 0097
作成日	平成15年 4月 1日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井

住友銀行南森町ビル 深見特許事務所

深見 久郎

【選任した代理人】

【識別番号】 100085132

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井

住友銀行南森町ビル 深見特許事務所

森田 俊雄

【選任した代理人】

【識別番号】 100083703

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井

住友銀行南森町ビル 深見特許事務所

仲村 義平

【選任した代理人】

【識別番号】 100096781

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井

住友銀行南森町ビル 深見特許事務所

堀井 豊

【選任した代理人】

【識別番号】 100098316

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井

住友銀行南森町ビル 深見特許事務所

次頁有

認定・付加情報（続巻）

【氏名又は名称】 野田 久登
【選任した代理人】
【識別番号】 100109162
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井
住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 酒井 將行

次頁無

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社